

UNIVERSIDADE FEDERAL DO RIO GRANDE DO SUL

Curso de Especialização em Projeto de Circuitos Integrados

Fonte de Referência do Tipo Bandgap

CLAUDIO RICHTER

Trabalho de Conclusão apresentado como requisito parcial para a obtenção do grau de Especialista em Projeto de Circuitos Integrados.

Prof. Dr. Eric Ericson Fabris
Orientador

Prof. Dr. Altamiro Amadeu Susin
Coordenador do Curso

Porto Alegre, dezembro de 2006.

O que é bom? Tudo que eleve no homem o sentimento de potência, a vontade de potência, a própria potência.

O que é ruim? Tudo que advém da fraqueza.

O que é felicidade? O sentimento de que a potência cresce, de que uma barreira é superada.

Friedrich W. Nietzsche

AGRADECIMENTOS

Agradeço ao prof. Eric Ericson Fabris, tanto pela valiosa orientação quanto pelas primorosas aulas ministradas no curso. Elas propiciaram um arcabouço de conhecimentos essencial ao desenvolvimento deste trabalho de conclusão.

Também cabe um enfático agradecimento a Josias Otaciel Mainardi, do NSCAD, pelas horas dispendidas em orientações sobre as ferramentas de CAD, sem as quais este trabalho seria irrealizável.

SUMÁRIO

LISTA DE ABREVIATURAS E SIGLAS.....	5
LISTA DE FIGURAS.....	6
LISTA DE TABELAS.....	8
RESUMO.....	9
1 INTRODUÇÃO.....	10
2 CIRCUITO BANDGAP.....	11
2.1 Junção PN.....	12
2.2 Circuito Bandgap.....	16
2.3 Sensor de Temperatura.....	18
2.4 Fontes de Corrente e Startup.....	19
2.5 Amplificador OTA.....	20
2.6 Circuito Completo.....	23
3 SIMULAÇÃO.....	29
3.1 Amplificador OTA.....	29
3.2 Circuito Bandgap.....	35
4 LAYOUT.....	42
4.1 Amplificador OTA.....	42
4.2 Circuito Bandgap.....	48
5 CONCLUSÃO.....	58
REFERÊNCIAS.....	59

LISTA DE ABREVIATURAS E SIGLAS

AC	Corrente alternada (Alternate current)
A/D	Analógico-digital
AMS	Austria Micro Systems
CI	Circuito integrado
CMOS	Tecnologia de transistores MOS complementares
CMRR	Taxa de rejeição de modo comum (Common Mode Rejection Ratio)
DC	Corrente contínua (Direct Current)
D/A	Digital-analógico
DRC	Verificação de regras de projeto (Design Rules Check)
GBW	Produto ganho-banda passante
I ² C	Protocolo e barramento para comunicação (Inter-IC Control)
ICMR	Faixa de tensão de modo comum (Input Common Mode Range)
LSB	Bit menos significativo
NMOS	Transistor MOS de canal N
NPN	Transistor bipolar com base P
OTA	Amplificador de transcondutância (Operational Transconductance Amplifier)
PMOS	Transistor MOS de canal P
PN	Junção bipolar
PNP	Transistor bipolar com base N
PSRR	Rejeição a variações na fonte de alimentação (Power Supply Rejection Ratio)
PTAT	Proporcional a temperatura absoluta (Proportional To the Absolute Temperature)
UFRGS	Universidade Federal do Rio Grande do Sul

LISTA DE FIGURAS

Fig. 2.1 – Princípio de fonte de referência bandgap.....	11
Fig. 2.2 – Duas junções PN sob correntes distintas.....	15
Fig. 2.3 – Princípio de circuito bandgap.....	16
Fig. 2.4 – Realimentação para forçar $V_{o1}=V_{o2}$	17
Fig. 2.5 – Circuito final para gerar V_{ref}	17
Fig. 2.6 – Circuito com V_{ref} e V_{temp}	18
Fig. 2.7 – Circuito com transistores PMOS.....	19
Fig. 2.8 – Circuito de startup.....	20
Fig. 2.9 – Esquema de OTA previamente projetado (Microwind).....	20
Fig. 2.10 – Layout do OTA previamente projetado (Magic).....	21
Fig. 2.11 – Tentativa de obtenção de junção PN em Magic.....	22
Fig. 2.12 – Esquema elétrico do OTA em ICStudio da Mentor ($L=1,4\mu m$).....	22
Fig. 2.13 – Símbolo do OTA gerado em ICStudio da Mentor.....	23
Fig. 2.14 – Estrutura de transistor bipolar lateral.....	24
Fig. 2.15 – Estrutura de transistor bipolar vertical.....	24
Fig. 2.16 – Circuito completo do bandgap (sem buffers de saída).....	25
Fig. 2.17 – Cálculo de impedância de saída do seguidor de tensão.....	26
Fig. 2.18 – Corrente de referência para amplificadores de saída.....	27
Fig. 2.19 – Circuito bandgap com buffers de saída.....	28
Fig. 3.1 – Teste do OTA em laço aberto.....	29
Fig. 3.2 – Resultado do OTA em laço aberto.....	30
Fig. 3.3 – Teste do OTA como seguidor de tensão.....	30
Fig. 3.4 – Resultado do OTA como seguidor de tensão.....	31
Fig. 3.5 – Drift térmico do OTA como seguidor de tensão.....	31
Fig. 3.6 – Teste de resposta em frequência do OTA.....	32
Fig. 3.7 – Resposta em frequência do OTA com carga de 4pF.....	32
Fig. 3.8 – Teste do ganho de modo comum do OTA.....	33
Fig. 3.9 – Ganho de modo comum do OTA.....	33
Fig. 3.10 – Símbolo do circuito bandgap com buffers de saída.....	35
Fig. 3.11 – Circuito de teste do circuito bandgap.....	36
Fig. 3.12 – Variação das saídas do bandgap com a temperatura (3,5ppm/°C).....	36
Fig. 3.13 – Variação das saídas do bandgap com V_{dd} (com e sem carga).....	38
Fig. 3.14 – PSRR do bandgap em função da frequência.....	39
Fig. 3.15 – Variação do bandgap com a temperatura (com e sem carga).....	39
Fig. 3.16 – Tensão de saída V_{REF} em 100 simulações (Monte Carlo).....	40
Fig. 4.1 – Layout do amplificador OTA em IC-Studio (Mentor).....	43
Fig. 4.2 – Layout do amplificador OTA com polisilício em grade azul.....	43

Fig. 4.3 – DRC do layout do amplificador OTA.....	44
Fig. 4.4 – Esquema elétrico e layout do OTA em laço aberto.....	45
Fig. 4.5 – Resposta do layout como seguidor de tensão.....	45
Fig. 4.6 – Drift térmico do layout como seguidor de tensão.....	46
Fig. 4.7 – Resposta em frequência do esquema e layout com carga capacitiva.....	46
Fig. 4.8 – Ganho de modo comum do esquema e layout do OTA.....	47
Fig. 4.9 – Componentes e conexões do bandgap antes do roteamento.....	48
Fig. 4.10 – Disposição dos transistores no layout.....	49
Fig. 4.11 – Detalhe dos transistores m_9, m_10, m_11 e m_14 intercalados.....	49
Fig. 4.12 – Layout completo da referência bandgap.....	50
Fig. 4.13 – Principais componentes no layout do bandgap.....	50
Fig. 4.14 – DRC do layout do circuito bandgap.....	51
Fig. 4.15 – Saídas VTEMP e VREF para modelo do esquemático e layout.....	51
Fig. 4.16 – Erro no layout.....	52
Fig. 4.17 – VTEMP e VREF em função da temperatura via esquemático e layout....	53
Fig. 4.18 – VTEMP e VREF em função da temperatura via layout com detalhes.....	53
Fig. 4.19 – VTEMP e VREF em função da temperatura com e sem carga de 100K...54	54
Fig. 4.20 – VTEMP e VREF em função de Vdd via esquemático e layout.....	54
Fig. 4.21 – PSRR de esquemático e layout em função da frequência.....	55
Fig. 4.22 – Tensão VTEMP e VREF em 100 simulações (Monte Carlo).....	55
Fig. 4.23 – Tensão VREF em 100 simulações (Monte Carlo).....	56

LISTA DE TABELAS

Tab. 2.1 – Características do OTA previamente projetado (SpiceOpus).....	21
Tab. 3.1 – Comparação das características do OTA nas duas tecnologias.....	34
Tab. 3.2 – Comparação de tecnologias em que foi implementado o OTA.....	34
Tab. 3.3 – Estabilidade térmica em ppm/°C para 100 simulações (esquemático)...	40
Tab. 3.4 – Resultados de simulação do circuito bandgap (esquemático).....	41
Tab. 4.1 – Comparação das simulações do OTA via esquema e layout.....	47
Tab. 4.2 – Estabilidade térmica em ppm/°C para 100 simulações (layout).....	56
Tab. 4.3 – Resultados de simulação do circuito bandgap (layout).....	57
Tab. 5.1 – Características do bandgap BG05A (AMS).....	58

RESUMO

Este trabalho visa o projeto elétrico e layout de uma fonte de referência do tipo bandgap em tecnologia CMOS.

Este tipo de topologia é conhecida desde a década de 60 e, portanto, não se deve esperar algo novo nesta monografia. A maior contribuição deste trabalho, na minha opinião, está em seu valor didático. Por isso mesmo, evitei omitir problemas e documentei as várias revisões que fui obrigado a implementar até obter um desempenho satisfatório para o circuito.

Infelizmente os resultados são todos teóricos, uma vez que o circuito não foi implementado em silício. Entretanto, foi utilizada simulação prevendo variabilidade no processo (Monte Carlo), de forma a validar os resultados obtidos.

O resultado final é um circuito bandgap com variação típica de 32 ppm/°C na faixa entre -20°C a 80°C, e rejeição a variações na alimentação elétrica superior a 50dB (0,3%/V). Isso permite que o mesmo seja utilizado como fonte de referência para um conversor A/D de 8 bits, por exemplo, introduzindo um erro de menos de 1 LSB em toda faixa de temperatura.

Foi utilizado design kit da AMS (Austria Micro Systems), com largura mínima de canal de 0,35µm, em software Mentor. Tentei utilizar, inicialmente, ferramentas gratuitas, como Magic e Spice Opus, mas a falta de modelos para dispositivos bipolares fez com que isso não fosse possível.

1 INTRODUÇÃO

Fontes de tensão e corrente estáveis com a temperatura, tensão de alimentação e variações de processo são essenciais para conversores analógico-digital (A/D) e digital-analógico (D/A). A precisão destes dispositivos depende diretamente da fonte de referência. É desnecessário discorrer sobre a atual onipresença de blocos A/D e D/A nos microcontroladores, sensores inteligentes, decodificadores de áudio, etc.

A idéia inicial deste trabalho era projetar um sensor de temperatura, similar ao sensor DS1621 da Dallas (atualmente Maxim), ou seja, com conversor A/D e interface I²C integrada. Entretanto, a inexistência de hard cores para o circuito bandgap, conversor A/D, clock, etc., obrigou a limitar o escopo do trabalho, sob pena de não haver tempo suficiente para sua conclusão. Por causa deste enfoque foi incluído no bloco bandgap uma saída proporcional a temperatura, que seria utilizada para obter-se a temperatura do CI.

Meu esforço inicial foi dirigido para o uso de ferramentas gratuitas, como Microwind, Magic e Spice Opus. Inclusive porque já havia projetado um amplificador de transcondutância (OTA) com sucesso nestas ferramentas. Mas infelizmente esbarrei na falta de modelos para dispositivos bipolares, o que inviabilizou seu uso. Até estudei circuitos bandgap feitos apenas com transistores CMOS, mas avaliei que seria arriscado usá-los (até porque não sei se os modelos de transistores CMOS nestas ferramentas funcionam bem na região subthreshold).

Então, usei as ferramentas disponíveis na UFRGS (ambiente da Mentor com design kit da AMS 0,35 μ m). Estes softwares possuem modelos para transistores bipolares laterais e verticais em processo CMOS. Também permitem caracterizar resistências implementadas em polisilício e capacitâncias entre duas camadas de polisilício.

Como já frisado no resumo, a topologia usada no circuito de bandgap é conhecida desde a década de 60 e, portanto, esta monografia não apresenta nada de inédito. Mas creio que pode ter algum valor didático, na medida em que tentei documentar todas as fases do projeto, sem omitir revisões e erros que ocorreram no seu desenvolvimento.

2 CIRCUITO BANDGAP

O circuito bandgap utiliza a tensão de uma junção PN diretamente polarizada como referência de tensão. Mas esta referência possui um coeficiente negativo de temperatura (aproximadamente $-2\text{mV}/^\circ\text{C}$). Para compensar isso, soma-se a esta tensão uma outra tensão com coeficiente térmico positivo. Esta tensão é obtida pela diferença de tensão de duas junções PN submetidas a diferentes densidades de corrente, que é uma tensão proporcional à temperatura absoluta (PTAT). Então, teremos a tensão de referência formada pela soma de duas parcelas, uma com coeficiente negativo de temperatura e outra com coeficiente positivo de temperatura. O fator \times da equação 2.1 permite igualar os coeficientes térmicos, mantendo V_{REF} constante:

$$V_{\text{REF}} = V_{\text{BE}} + \times \cdot \Delta V_{\text{BE}} \quad \text{eq. 2.1}$$

A constante \times , calculada de forma a minimizar o coeficiente de temperatura de V_{REF} , é tal que a tensão de referência gerada corresponde a energia da banda proibida (bandgap) do silício extrapolada para 0 Kelvin (aproximadamente 1,25V). Daí advém o nome para o circuito.

Note que foram designadas de V_{BE} e ΔV_{BE} a tensão na junção PN diretamente polarizada e a diferença de tensão em duas junções, respectivamente, porque estas junções serão implementadas com transistores bipolares na configuração de diodos. Na figura abaixo consta V_T em vez de ΔV_{BE} porque veremos a seguir que a diferença de tensão na junção base-emissor de dois transistores com densidades de corrente distintas é proporcional à tensão térmica V_T (K é a constante de Boltzmann, T a temperatura absoluta, e q a carga do elétron).

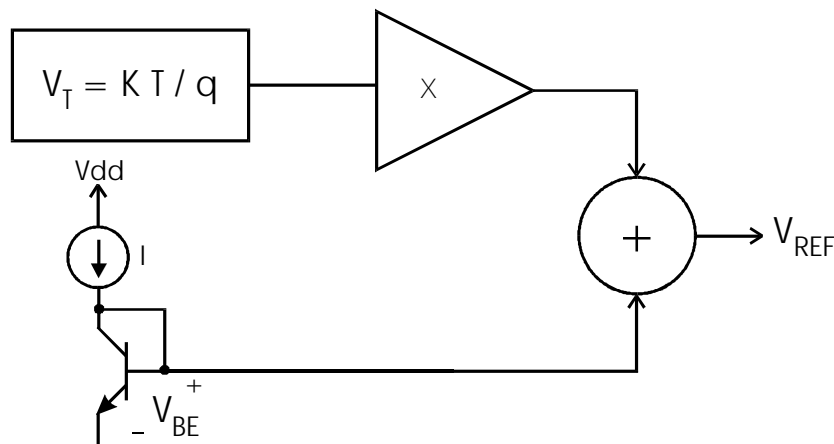


Fig. 2.1 - Princípio de fonte de referência bandgap

2.1 Junção PN

Vamos iniciar com a expressão de corrente em uma junção PN (diodo):

$$I = I_S \left(e^{\frac{V_{BE}}{V_T}} - 1 \right) \quad \text{eq. 2.1}$$

onde: I = corrente na junção (A)
 I_S = corrente de saturação (A)
 V_{BE} = tensão direta na junção (V)
 V_T = tensão térmica (V)

Temos também as seguintes relações da física dos semicondutores:

$$I_S = q \cdot \bar{D}_n \cdot n_{po} \quad \text{eq. 2.2}$$

$$n_{po} = \frac{n_i^2}{N_A} \quad \text{eq. 2.3}$$

$$n_i^2 = D T^\gamma e^{\frac{-V_{GO}}{V_T}} \quad \text{eq. 2.4}$$

onde: q = carga do elétron ($1,602 \times 10^{-19}$ C)
 \bar{D}_n = constante de difusão média dos elétrons (s^{-1})
 n_{po} = concentração de equilíbrio de elétrons na base
 n_i = concentração intrínseca de portadores
 N_A = concentração de impurezas aceitadoras
 D = constante independente da temperatura
 T = temperatura absoluta (K)
 γ = expoente da dependência de n_i com a temperatura ($\approx 3,2$)
 V_{GO} = voltagem bandgap do silício para $T=T_0$ ($\approx 1,2V$ se $T=300K$)

Combinando as equações 2.2, 2.3 e 2.4 com a equação 2.1 resulta:

$$I = \frac{q \bar{D}_n D T^\gamma}{N_A} \cdot e^{\frac{-V_{GO}}{V_T}} \left(e^{\frac{V_{BE}}{V_T}} - 1 \right) \quad \text{eq. 2.5}$$

Considere agora esta mesma expressão para uma temperatura determinada T_0 (que será a temperatura para a qual iremos tentar zerar o coeficiente de temperatura do circuito bandgap). Nesta temperatura teremos uma corrente I_0 que será expressa pela própria equação 2.5:

$$I_o = \frac{q \bar{D}_n D T_o^\gamma}{N_A} \cdot e^{\frac{-V_{GO}}{V_{T0}}} \left(e^{\frac{V_{BEo}}{V_{T0}}} - 1 \right) \quad \text{eq. 2.6}$$

Se dividirmos a equação 2.5 pela equação 2.6 resulta:

$$\frac{I}{I_o} = \left(\frac{T}{T_o} \right)^\gamma \frac{e^{\frac{-V_{GO}}{V_T}} \left(e^{\frac{V_{BE}}{V_T}} - 1 \right)}{e^{\frac{-V_{GO}}{V_{T0}}} \left(e^{\frac{V_{BEo}}{V_{T0}}} - 1 \right)} \quad \text{eq. 2.7}$$

Considerando que $e^{(V_{BE}/V_T)} \gg 1$, já que:

$$V_T = \frac{K T}{q} \quad \text{eq. 2.8}$$

onde: K = constante de Boltzmann ($1,38 \times 10^{-23}$ J/K)
T = temperatura absoluta (K)
q = carga do elétron ($1,602 \times 10^{-19}$ C)

Para $T=27^\circ\text{C}$ (300 K) resulta $V_T = 25,8\text{mV}$. Já V_{BE} para o silício deve se situar em torno de 0,6V para que a junção esteja em condução. Portanto, a exponencial será da ordem de 10^{10} , ou seja, muito maior que 1. Logo, a equação 2.7 pode ser simplificada para:

$$\frac{I}{I_o} = \left(\frac{T}{T_o} \right)^\gamma \cdot e^{\frac{q}{K} \left(\frac{V_{BE} - V_{GO}}{T} - \frac{V_{BEo} - V_{GO}}{T_o} \right)} \quad \text{eq. 2.9}$$

Se aplicarmos logaritmo natural em ambos os lados da equação 2.8 resulta:

$$\ln\left(\frac{I}{I_o}\right) = \gamma \cdot \ln\left(\frac{T}{T_o}\right) + \frac{q}{KT} \left(V_{BE} - V_{GO} - \frac{T}{T_o} (V_{BEo} - V_{GO}) \right) \quad \text{eq. 2.10}$$

Isolando V_{BE} na equação 2.10 finalmente obtemos a equação de V_{BE} em função da temperatura:

$$V_{BE} = \frac{K T}{q} \ln\left(\frac{I}{I_o}\right) + \gamma \frac{K T}{q} \ln\left(\frac{T_o}{T}\right) + V_{BEo} \left(\frac{T}{T_o}\right) + V_{GO} \left(1 - \frac{T}{T_o}\right) \quad \text{eq. 2.11}$$

Ainda falta obtermos a variação de V_{BE} em função da temperatura. Para isso derivamos a equação 2.11 em função da temperatura:

$$\frac{\partial V_{BE}}{\partial T} = \frac{KT}{q} \cdot \frac{\partial \ln\left(\frac{I}{I_o}\right)}{\partial T} + \frac{KT}{q} \ln\left(\frac{I}{I_o}\right) + \frac{\gamma KT}{q} \cdot \frac{\partial \ln\left(\frac{T_o}{T}\right)}{\partial T} + \ln\left(\frac{T}{T_o}\right) \cdot \frac{\partial \frac{\gamma KT}{q}}{\partial T} + \frac{V_{BEo}}{T_o} + \frac{\partial V_{GO}}{\partial T} \left(1 - \frac{T}{T_o}\right) - \frac{V_{GO}}{T_o}$$

Assumindo que $T = T_o$ (o que implica que $I = I_o$). Então:

$$\frac{\partial V_{BE}}{\partial T} \Big|_{T=T_o} = \frac{KT_o}{q} \cdot \frac{\partial \ln\left(\frac{I}{I_o}\right)}{\partial T} + 0 + \frac{\gamma KT_o}{q} \cdot \frac{\partial \ln\left(\frac{T_o}{T}\right)}{\partial T} + 0 + \frac{V_{BEo}}{T_o} + 0 - \frac{V_{GO}}{T_o} \quad \text{eq.2.12}$$

Considere ainda que:

$$\ln\left(\frac{T_o}{T}\right) = y \rightarrow e^y = \frac{T_o}{T} \rightarrow \frac{\partial e^y}{\partial T} = \frac{-T_o}{T^2} \rightarrow \frac{\partial y}{\partial T} \cdot e^y = \frac{-T_o}{T^2} \rightarrow \frac{\partial y}{\partial T} = \frac{-1}{T}$$

$$\ln\left(\frac{I}{I_o}\right) = y \rightarrow e^y = \frac{I}{I_o} \rightarrow \frac{\partial e^y}{\partial T} = \frac{1}{I_o} \cdot \frac{\partial I}{\partial T} \rightarrow \frac{\partial y}{\partial T} \cdot e^y = \frac{1}{I_o} \cdot \frac{\partial I}{\partial T} \rightarrow \frac{\partial y}{\partial T} = \frac{1}{I_o} \cdot \frac{\partial I}{\partial T}$$

Com isso a equação 2.12 se reduz a:

$$\frac{\partial V_{BE}}{\partial T} \Big|_{T=T_o} = \frac{KT_o}{q I_o} \cdot \frac{\partial I}{\partial T} - \frac{\gamma K}{q} + \frac{V_{BEo} - V_{GO}}{T_o} \quad \text{eq. 2.13}$$

Por fim, vamos considerar que $I \propto T^\alpha$, ou então, que $I = b \cdot T^\alpha$. Neste caso:

$$\frac{\partial I}{\partial T} = \frac{\beta \alpha T^\alpha}{T} = \frac{\alpha}{T} \cdot I$$

Com isso, a equação 2.13 assume, finalmente, a expressão abaixo:

$$\boxed{\frac{\partial V_{BE}}{\partial T} \Big|_{T=T_o} = \frac{K}{q} \cdot (\alpha - \gamma) + \frac{V_{BEo} - V_{GO}}{T_o}} \quad \text{eq. 2.14}$$

Utilizando valores típicos para a temperatura de 27°C (300K) $\rightarrow V_{BEo} = 0,6V$; $V_{GO} = 1,2 V$; $\alpha = 1$; $\gamma = 3,2$; resulta em coeficiente térmico de $-2,2mV/^\circ C$. Ou seja, a tensão na junção PN diretamente polarizada possui um coeficiente negativo de temperatura.

Falta obtermos uma tensão com coeficiente positivo de temperatura, de forma a permitir compensar as variações de V_{BE} . Para isso considere duas junções PN submetidas a correntes distintas I_1 e I_2 . Neste caso a diferença entre as tensões das duas junções pode ser determinada pela equação 2.11:

$$\Delta V_{BE} = \frac{KT}{q} \ln\left(\frac{I_1}{I_o}\right) - \frac{KT}{q} \ln\left(\frac{I_2}{I_o}\right)$$

Ou seja:

$$\Delta V_{BE} = \frac{KT}{q} \ln\left(\frac{I_1}{I_2}\right) \quad \text{eq. 2.15}$$

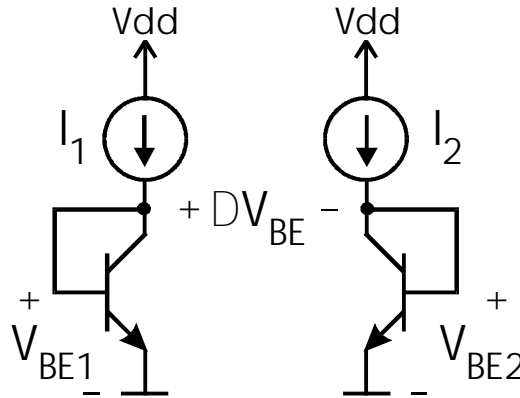


Fig. 2.2 – Duas junções PN sob correntes distintas

Se derivarmos a equação 2.15 em função da temperatura resulta:

$$\frac{\partial \Delta V_{BE}}{\partial T} = \frac{K}{q} \ln\left(\frac{I_1}{I_2}\right) \quad \text{eq. 2.16}$$

Note que a taxa de variação de ΔV_{BE} com a temperatura é uma constante, ou seja, independe da temperatura. Se considerarmos uma corrente I_1 oito vezes maior que I_2 , resulta em um coeficiente térmico de $+0,18 \text{ mV/}^\circ\text{C}$.

Para que a equação 2.1 possua um coeficiente térmico nulo para $T=T_0$ devemos ter:

$$\frac{\partial V_{BE}}{\partial T} \Big|_{T=T_0} + \xi \cdot \Delta V_{BE} = 0$$

$$\xi = \frac{1}{\ln\left(\frac{I_1}{I_2}\right)} \cdot \left(\frac{q}{KT_0} (V_{GO} - V_{BE0}) + \gamma - \alpha \right) \quad \text{eq. 2.17}$$

Para os valores calculados anteriormente resulta em $\xi = 12,31$ em 27°C . No caso de coeficiente de temperatura nulo a tensão de referência V_{REF} será (em $T=T_0$) :

$$V_{REF} \Big|_{T=T_0} = V_{BE0} + \xi \cdot \frac{KT}{q} \ln\left(\frac{I_1}{I_2}\right)$$

$$V_{REF} = V_{GO} + (\gamma - \alpha) \cdot \frac{KT_0}{q} \quad \text{eq. 2.18}$$

Para $T=27^\circ\text{C}$ resulta em $V_{REF} = 1,26\text{V}$. Repare que o coeficiente de temperatura nulo só é válido para $T=T_0$. Para temperaturas diferentes o coeficiente térmico de V_{BE} é outro, enquanto o de ΔV_{BE} se mantém inalterado. A compensação calculada compensou apenas o termo linear, mas permanecem os termos de maior ordem em $\Delta V_{BE} / \Delta T$.

2.2 Circuito Bandgap

Considere o circuito abaixo, no qual Q_2 consiste de n transistores idênticos à Q_1 em paralelo. Ou seja, a densidade de corrente em Q_2 será n vezes menor que em Q_1 . Se forçarmos que a tensão V_{O1} seja igual a V_{O2} , a tensão sobre o resistor R é determinada pela diferença de V_{BE} dos transistores. Logo, $V_{O2} = \Delta V_{BE} + V_{BE2}$. Portanto, com o projeto correto podemos fazer V_{O2} independente da temperatura.

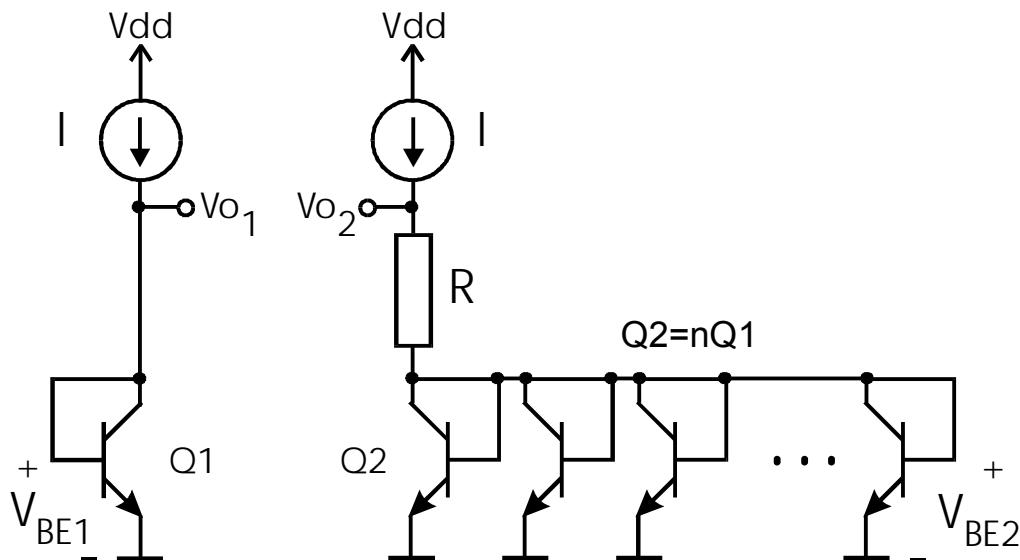


Fig. 2.3 – Princípio de circuito bandgap

Uma maneira de forçar que V_{O1} seja igual a V_{O2} é ligarmos estas duas tensões as entradas de um amplificador operacional, e a saída deste operacional comandar as o valor das fontes de corrente I . Como o operacional possui um ganho a laço aberto muito elevado a diferença de tensão entre suas entradas será praticamente nula (considerando-se, naturalmente, que as fontes de corrente possam atingir uma corrente tal que esta condição seja alcançada antes da saturação do operacional).

Mas este circuito ainda tem um problema: necessitamos do fator multiplicativo \times para compensação da variação térmica de V_{BE2} . Mas se incluirmos mais um ramo com fonte de corrente controlada, resistor e junção PN poderemos obter este fator.

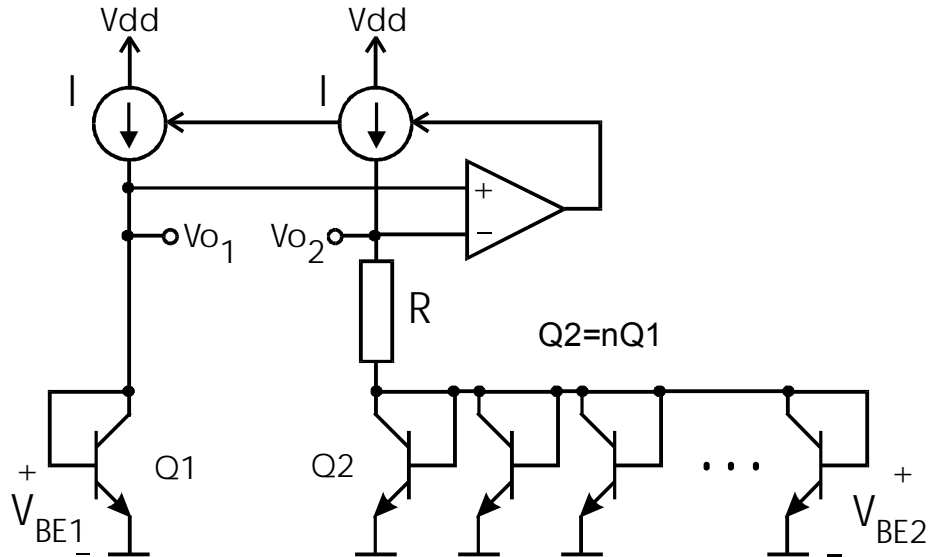


Fig. 2.4 – Realimentação para forçar $V_{o1} = V_{o2}$

Graças a este ramo adicional, o fator \times pode ser determinado pela razão entre os resistores R1 e R2. Isso é extremamente conveniente, pois anula as variações das resistências com a temperatura (pelo menos o termo linear desta variação). Além disso, obter-se valores absolutos de resistências em um CI CMOS é difícil. Já uma razão entre resistências pode ser obtida com boa precisão, se forem respeitadas algumas regras simples de layout.

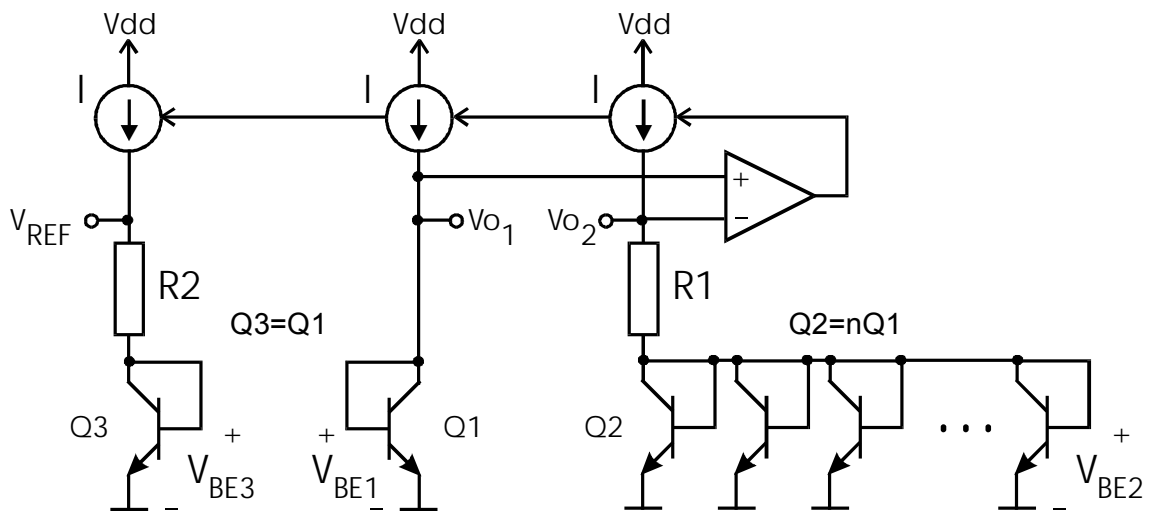


Fig. 2.5 – Circuito final para gerar V_{REF}

A corrente I pode ser determinada pela tensão sobre R1 que, como vimos, é dada por $V_{BE1} - V_{BE2} = \Delta V_{BE}$:

$$I = \frac{\Delta V_{BE}}{R_1}$$

Como o transistor Q3 é idêntico a Q1, e portanto $V_{BE3} = V_{BE1}$. A tensão V_{REF} será:

$$V_{REF} = V_{BE1} + \frac{R_2}{R_1} \cdot \Delta V_{BE} \quad \text{eq. 2.19}$$

Ou seja, o fator \times é dado pela razão entre os resistores:

$$\zeta = \frac{R_2}{R_1} \quad \text{eq. 2.20}$$

2.3 Sensor de Temperatura

Como já comentado na introdução, a idéia inicial deste trabalho era implementar um sensor de temperatura com interface I²C. Para isso necessito não somente de uma tensão estável com a temperatura (para referência), como também de uma tensão proporcional a temperatura (para efetuar a medida de temperatura do CI).

A equação 2.16 mostra que ΔV_{BE} varia linearmente com a temperatura (sua derivada em relação a temperatura é uma constante). Então, podemos usá-lo para obter a informação de temperatura do circuito integrado. Para isso, basta incluir mais um ramo no circuito:

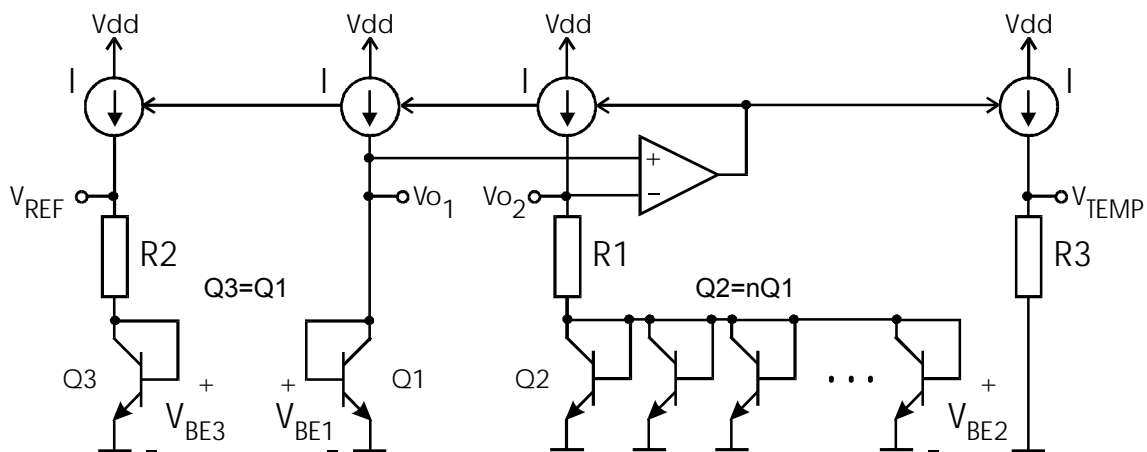


Fig. 2.6 – Circuito com V_{REF} e V_{TEMP}

Note que sendo $I = \Delta V_{BE} / R_1$ a tensão V_{TEMP} será:

$$V_{TEMP} = \frac{R_3}{R_1} \cdot \Delta V_{BE} \quad \text{eq. 2.21}$$

Também a saída V_{TEMP} depende de uma razão de resistores e, portanto, os erros de primeira ordem devido a variação dos resistores com a temperatura são eliminados.

2.4 Fontes de Corrente e Startup

As fontes de corrente controladas podem ser facilmente implementadas com transistores PMOS. Mas deve-se levar em consideração que os transistores PMOS irão inverter a realimentação do operacional e, portanto, é necessário inverter os terminais de entrada do mesmo (minha primeira simulação do circuito foi feita sem esta preocupação, o que simplesmente saturou a saída do operacional). No circuito da figura 2.6 a medida que a tensão de saída do operacional aumenta aumenta a corrente I , e a taxa de crescimento de V_{O_2} é maior que a de V_{O_1} devido a resistência $R1$. Com isso, a tensão no terminal negativo de entrada sobe até igualar a tensão existente no terminal positivo de entrada do operacional, estabilizando o circuito. Já no caso de fontes de corrente via transistores PMOS um aumento na tensão de saída do operacional irá causar uma diminuição na corrente I .

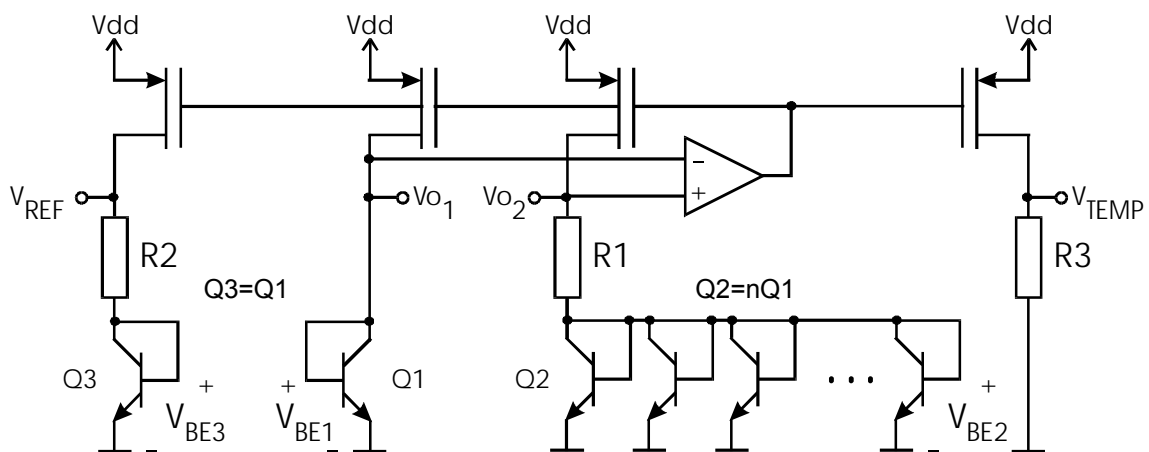


Fig. 2.7 – Circuito com transistores PMOS

Outro problema é que o circuito possui dois pontos de equilíbrio. Um deles é o que nos interessa, em que $V_{O_1} = V_{O_2} \neq 0$. Mas outra possibilidade é $V_{O_1} = V_{O_2} = 0$. Neste caso o operacional estará saturado em V_{dd} , cortando completamente os transistores PMOS. Ou seja, é necessário forçar um desequilíbrio inicial entre as entradas do amplificador operacional para evitar que isso ocorra. Para isso basta injetar uma pequena corrente em $Q1$. Este circuito é chamado de startup, e deve ser ativo apenas ao energizar o circuito, e com o aumento de V_{BE1} deixa de operar.

Para isso pode-se usar um transistor NMOS polarizado de tal forma que conduza até que V_{BE1} ultrapasse determinado limiar, quando $V_{GS} < V_T$ no transistor, forçando-o a cortar.

A tensão nominal de $V_{O_1} = V_{BE1} = 0,6V$. Para que $M12$ corte nesta situação devemos garantir que $V_{GS12} < V_{T12}$. Como $V_{GS12} = V_{GS13} - V_{BE1}$, então a condição de corte de $M12$ é $V_{GS13} < V_{T12} + V_{BE1}$.

Já ao energizar o circuito $V_{O_1} = V_{BE1} = 0V$. Para que $M12$ sature nesta condição $V_{GS12} > V_{T12}$, naturalmente, e $V_{DS12} \geq V_{GS12} - V_{T12}$. Como, neste caso, $V_{GS12} = V_{GS13}$, resulta na condição $V_{GS13} > V_{T12}$.

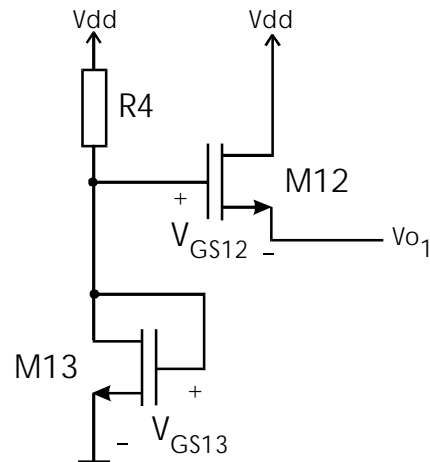


Fig. 2.8 – Circuito de startup

Reunindo as duas condições obtêm-se o intervalo de valores para V_{GS13} :

$$V_{T12} < V_{GS13} < V_{T12} + V_{BE1} \quad \text{eq. 2.22}$$

2.5 Amplificador OTA

O amplificador utilizado para o circuito de bandgap é um simples OTA (Operational Transconductance Amplifier) de dois estágios, ou seja, não possui estágio de saída de potência. Este circuito já havia sido previamente calculado em trabalho para disciplina de Concepção de Circuitos Integrados Analógicos. Lá foi utilizada tecnologia AMIS de 0,5 μm , obtida no site da Mosis, e softwares gratuitos, como Microwind, Magic e SpiceOpus. Para estabilizar o circuito, mesmo no caso de ganho unitário e carga capacitiva de 4pF, foi incluído um capacitor de compensação implementado entre duas camadas de polisilício.

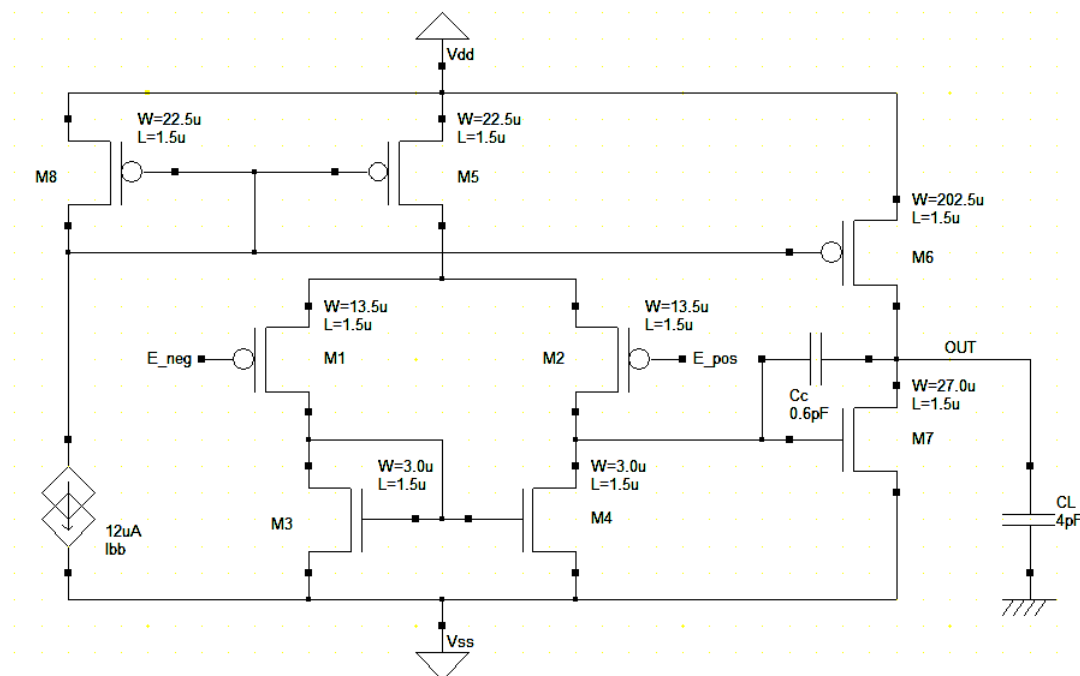


Fig. 2.9 – Esquema do OTA previamente projetado (Microwind)

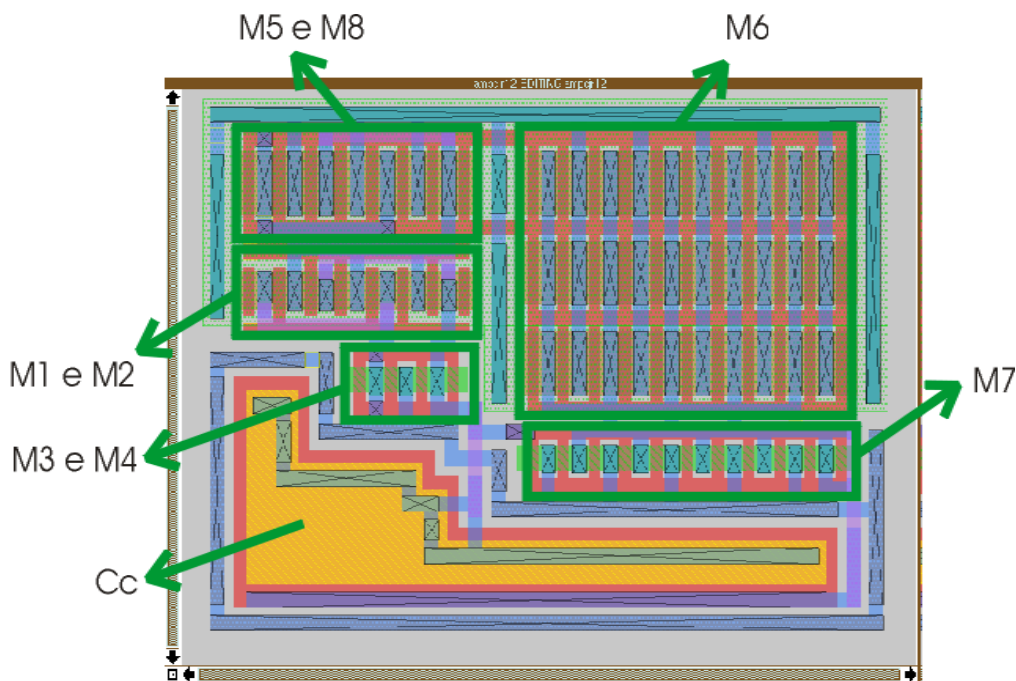


Fig. 2.10 – Layout do OTA previamente projetado (Magic)

Este circuito apresentou os seguintes resultados simulados em SpiceOpus:

Parâmetro	Simulação layout	Simulação teórica
Ganho Diferencial	76 dB	77 dB
Margem de fase	52°	54°
Produto GBW	11 MHz	12,9 MHz
Potência dissipada	447 μ W	478 μ W
Ganho de modo comum	4 dB	1,58 dB
CMRR	72 dB	75,5 dB
Tensão de offset	-1,14 mV	0,42 mV
ICMR	$0,3V \geq ICMR \geq -1,2V$	$1V \geq ICMR \geq -1,5V$
Slew-rate	16 V/ μ s	16,4 V/ μ s

Tab. 2.1 – Características do OTA previamente projetado (SpiceOpus)

Naquela ocasião o OTA era alimentado com tensão simétrica (-1,65V e 1,65V), por isso os resultados acima expressam uma capacidade de permitir sinais de entrada entre 0,3V e -1,2V. Mas no caso atual pretendo utilizar fonte única de 3,3V. Então, o OTA deve permitir excursão no sinal de entrada em modo comum entre 1,95V e 0,45V. Como a tensão de modo comum, no caso do circuito de bandgap, deve estar em torno de 0,6V ela se situa dentro do ICMR permitido pelo OTA.

Na verdade, até em função de já ter implementado o layout do amplificador em software Magic tentei fazer o mesmo com o circuito de bandgap. Entretanto, isso não

foi possível porque não obtive modelos para junções PN. Tentei inclusive usar um transistor CMOS como diodo, mas sua extração e posterior simulação demonstraram que as ferramentas supõem apenas junções PN inversamente polarizadas. A simulação do circuito abaixo resultou em circuito aberto:

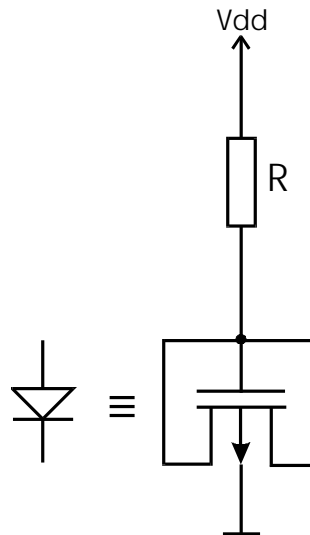


Fig. 2.11 – Tentativa de obtenção de junção PN em Magic

Com isso fui obrigado a fazer uso de software da Mentor, e design kit da AMS. Como a largura mínima para esta tecnologia é $0,35\mu\text{m}$, inicialmente utilizei largura de canal de $0,7\mu\text{m}$ para os transistores do amplificador. A simulação apresentou resultados bastante próximos aos da tabela 2.1. Entretanto, o offset foi ainda maior, da ordem de $-1,6\text{mV}$. Então, resolvi aumentar a largura de canal dos transistores para $1,4\mu\text{m}$, de forma a permitir melhores características.

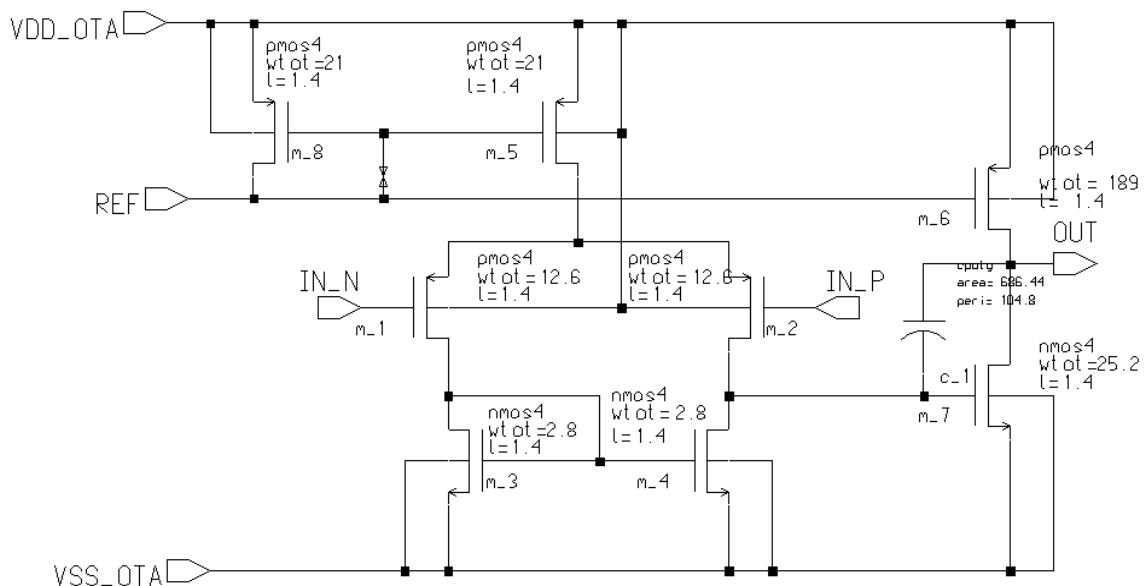


Fig. 2.12 - Esquema elétrico do OTA em ICStudio da Mentor ($L=1,4\mu\text{m}$)

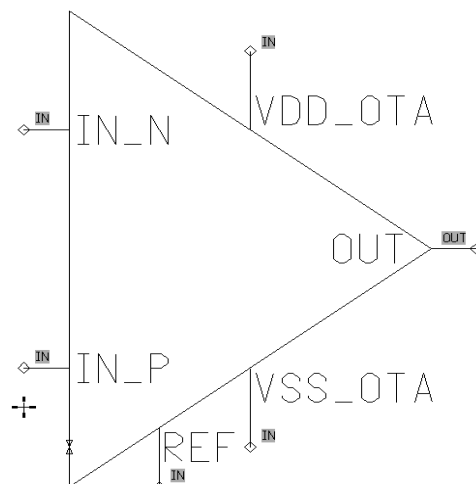


Fig. 2.13 - Símbolo do OTA gerado em ICStudio da Mentor

Outro problema apresentado pelo OTA com $L=0,7\mu\text{m}$ é o drift térmico apresentado quando em configuração de seguidor de tensão. Note que pretendo utilizar dois amplificadores nesta configuração para baixar a impedância de saída dos sinais V_{REF} e V_{TEMP} do circuito bandgap, de forma a poder disponibilizar estes sinais externamente via pads. No caso do amplificador com $L=0,7\mu\text{m}$ este drift foi da ordem de $-6,5\mu\text{V}/^\circ\text{C}$. Para uma saída em torno de $1,25\text{V}$ isso representa mais de $5\text{ppm}/^\circ\text{C}$. Já no caso do amplificador com $L=1,4\mu\text{m}$ o drift médio simulado (entre -20°C e 80°C) foi de $2,2\mu\text{V}/^\circ\text{C}$, o que representa menos de $2\text{ppm}/^\circ\text{C}$. Assim, os amplificadores de saída não degradarão de forma significativa o desempenho do circuito bandgap.

2.6 Circuito Completo

Note que o amplificador OTA necessita de uma fonte de corrente de $12\mu\text{A}$ para sua polarização (pino REF no símbolo). No caso do OTA que realimenta o circuito bandgap podemos fixar o ponto quiescente através do próprio circuito de bandgap. A fonte de $12\mu\text{A}$ fixa a corrente no transistor m_5 no mesmo valor (graças ao espelho de corrente formado com os transistores m_5 e m_8 – ver figura 2.12). E fixa uma corrente sobre o transistor m_6 nove vezes maior, já que $(W/L)_{m_6} = 135$ e $(W/L)_{m_8} = 15$. Logo, a corrente sobre m_6 será de $108\mu\text{A}$.

Cabe aqui uma pequena explanação sobre os transistores bipolares utilizados. Existem dois tipos de transistores bipolares disponíveis em um processo CMOS: transistor lateral e transistor vertical. O transistor bipolar lateral é um dispositivo de 5 terminais (emissor, base, coletor, gate e substrato) que só se justifica caso seja necessário ter acesso aos três terminais do transistor. Sua estrutura está ilustrada a seguir. Já o transistor bipolar vertical utiliza uma difusão de dreno como emissor, um poço como base e o substrato como coletor. Portanto, trata-se de um transistor bipolar convencional, apenas com a limitação de possuir o coletor conectado ao substrato. No caso do circuito de bandgap isso não é problema, pois todos os coletores devem ser ligados entre si. Veja que como estamos utilizando substrato tipo P os transistores gerados serão PNP (basta substituir os transistores NPN por PNP na figura 2.7).

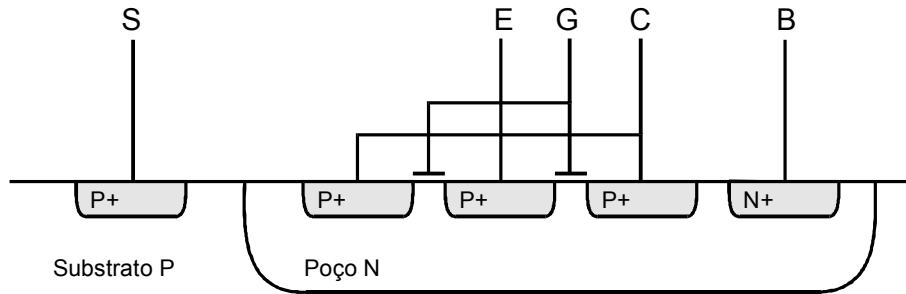


Fig. 2.14 - Estrutura de transistor bipolar lateral

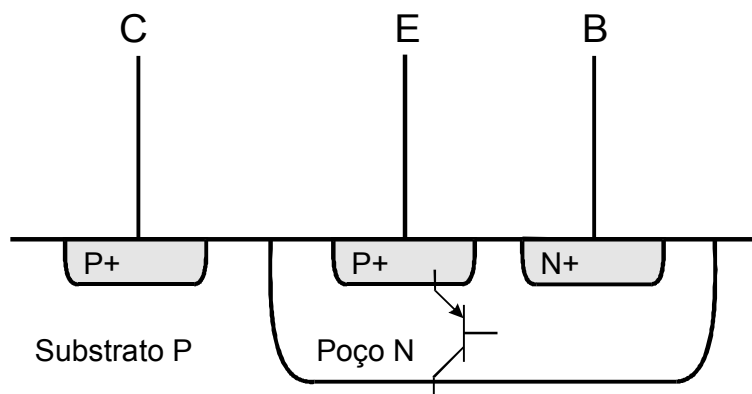


Fig. 2.15 - Estrutura de transistor bipolar vertical

Foram utilizados transistores bipolares verticais no circuito de bandgap. Além disso, fixei $n=8$, ou seja, o transistor Q2 são 8 transistores idênticos a Q1. A literatura indica que a corrente no transistor bipolar não deve ser menor que $5\mu\text{A}$, de forma a garantir um comportamento exponencial no dispositivo. Então, a corrente em Q2 deve ser, no mínimo, $40\mu\text{A}$ (para que a corrente em cada transistor não seja menor que $5\mu\text{A}$).

Então vou fixar esta corrente em $54\mu\text{A}$, exatamente a metade da corrente quiescente que deve circular sobre o transistor m_6 do segundo estágio do amplificador OTA. Mas como garantir esta corrente? Basta lembrar que sobre o resistor R1 surge a tensão ΔV_{BE} , que é calculada pela equação 2.15. Resulta que:

$$I = \frac{V_{R1}}{R_1} \rightarrow I = \frac{\Delta V_{BE}}{R_1} \rightarrow I = \frac{\frac{KT}{q} \ln(n)}{R_1} \quad \text{eq. 2.23}$$

Para $I=54\mu\text{A}$, $n=8$ e temperatura de 27°C resulta em $R1=995,7\Omega$. Pela equação 2.17 obtêm-se o valor do fator $x=12,31$. Portanto, $R2=12,26\text{k}\Omega$.

Note que, como fixamos a corrente I como metade da corrente do segundo estágio do OTA, devemos fazer $(W/L)_{m_{10}} = (W/L)_{m_6} / 2$. Com isso, obtêm-se as razões (W/L) de todos os transistores para as fontes de corrente do bandgap (m_9 , m_{10} , m_{11} , m_{14}). Todos eles devem ter $(W/L)=67,5$.

Agora só falta calcular os transistores do circuito de startup. Considerando que a tensão de limiar (threshold) dos transistores NMOS é $V_{THn}=0,63V$ e $V_{BE2}=0,6V$ resulta, segundo a equação 2.22, em $0,63V < V_{GS13} < 1,23V$ (estou desconsiderando efeitos de segunda ordem, como efeito de corpo no transistor m_{12}). Fixando V_{GS13} na média aritmética dos dois limites, resulta em $V_{GS13}=0,93V$. Além disso, vou escolher uma corrente de $68\mu A$ no transistor m_{13} (uma corrente muito pequena resultaria em um resistor $R3$ de valor muito elevado). Com isso, calcula-se $R3$, m_{12} e m_{13} :

$$R_3 = \frac{(V_{dd} - V_{ss} - V_{GS13})}{I_{d_{M13}}} \quad \text{eq. 2.24}$$

$$I_{d_{M13}} = \frac{1}{2} \mu_N C_{OX} \left(\frac{W}{L} \right)_{13} (V_{GS13} - V_{THn})^2 \quad \text{eq. 2.25}$$

onde: $I_{d_{M13}}$ = corrente de dreno no transistor m_{13} (A)
 μ_N = mobilidade efetiva de transistores canal N ($m^2/V.s$)
 C_{OX} = capacitância por unidade de área do gate (F/m²)
 W = largura de canal do transistor NMOS (m)
 L = comprimento de canal do transistor NMOS (m)
 V_{GS13} = tensão entre gate e fonte no transistor m_{13} (V)
 V_{THn} = tensão de threshold de transistores NMOS (0,63 V)

Como:

$$K_N = \mu_N C_{OX} \quad \text{eq. 2.26}$$

onde: K_N = fator de ganho de transistores canal N ($37,4 \mu A/V^2$)

Da equação 2.24 resulta $R3=34,9K\Omega$ para $(V_{dd}-V_{ss})=3,3V$. E da equação 2.25 podemos obter $(W/L)_{m_{13}}=40$. Já $(W/L)_{m_{12}}$ não é crítico e vou fixá-lo arbitrariamente em 2.

O circuito final (sem buffers de saída) do bandgap pode ser visto na figura 2.16. Note que a referência para o OTA é ligada diretamente a sua saída. Com isso a tensão de saída com que o OTA estabiliza e que fixa a corrente I no resistor $R1$ também força que a corrente do segundo estágio do OTA seja $2 \cdot I$, devido a relação entre $(W/L)_{m_{10}}$ e $(W/L)_{m_6}$. Ou seja, o próprio circuito fixa seu ponto quiescente em função do valor de $R1$.

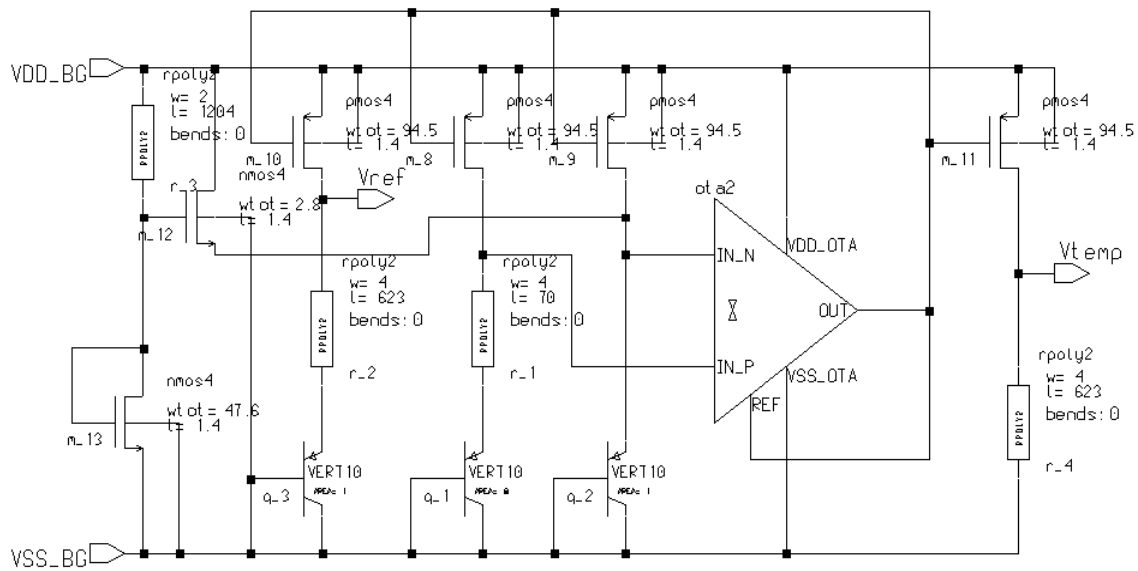


Fig. 2.16 – Circuito completo de bandgap (sem buffers de saída)

As saídas VREF e VTEMP possuem alta impedância ($>12K\Omega$), o que não as torna muito práticas como fontes de referência, pois até uma carga de $10m\Omega$ iria causar uma queda de tensão maior que 1000ppm. Então, é necessário intercalar um buffer nestas saídas. Ora, posso utilizar o próprio amplificador OTA na configuração seguidor de tensão para isso. A impedância de saída do OTA em laço fechado (com realimentação) será dividida pelo ganho de tensão diferencial a laço aberto do OTA (A_V), pois:

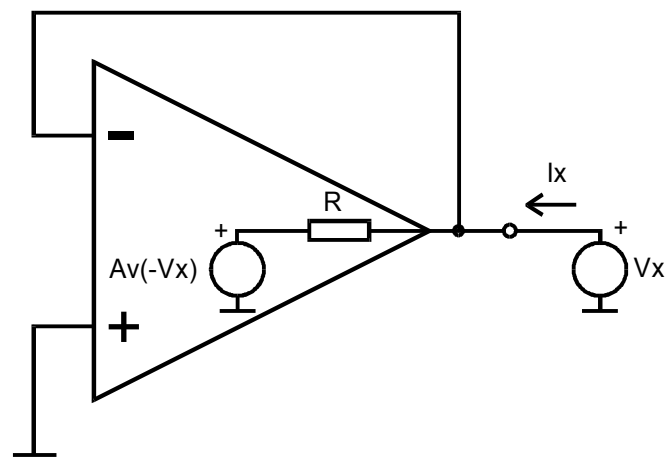


Fig. 2.17 – Cálculo de impedância de saída do seguidor de tensão

$$I_X = \frac{V_X(1+A_V)}{R} ; \quad R_{OUT} = \frac{V_X}{I_X} \rightarrow R_{OUT} = \frac{R}{(1+A_V)} \quad \text{eq. 2.26}$$

Assim, a impedância de saída do amplificador como seguidor de tensão será dividida pelo ganho de laço aberto, possivelmente maior que 6000.

Mas precisamos de uma referência de $12\mu\text{A}$ para os amplificadores de saída. Posso utilizar a própria tensão V_{REF} para tal. Outra opção é utilizar a tensão V_{GS13} do circuito de bandgap. Utilizando a equação 2.25 chega-se a (W/L) de 7 para os transistores a serem ligados aos pinos REF dos amplificadores.

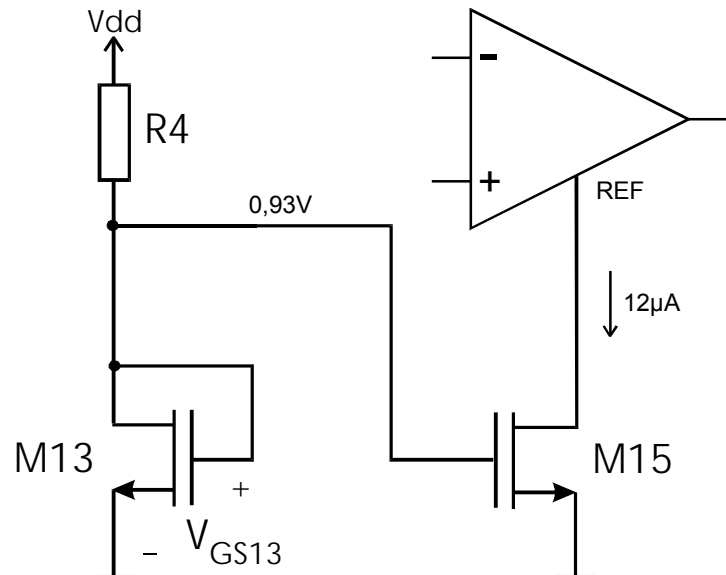


Fig. 2.18 – Corrente de referência para amplificadores de saída

Bem, com isso finalmente temos o esquema completo do circuito bandgap. No próximo capítulo apresentarei os resultados de simulação deste circuito. Foi possível obter um circuito bandgap com variação típica de $32\text{ ppm}/^\circ\text{C}$, o que é bastante razoável considerando-se que ele não possui elementos ajustáveis (trimming), nem tampouco compensa a curvatura da tensão V_{BE} em função da temperatura.

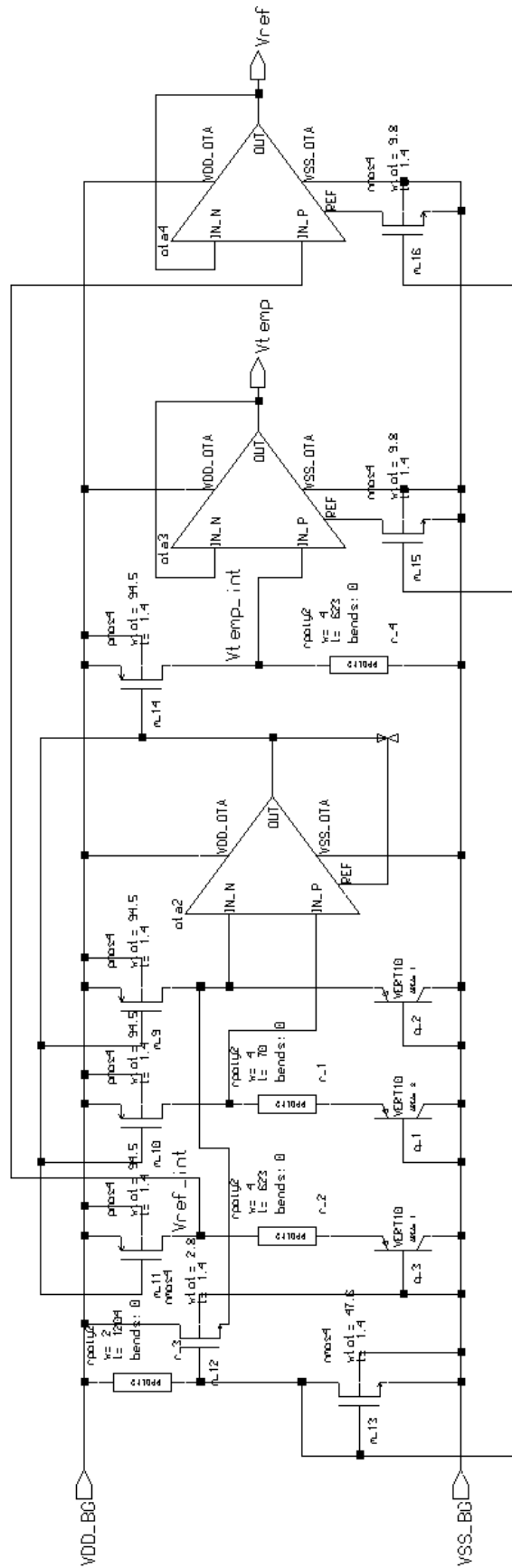


Fig. 2.19 – Circuito Bandgap com buffers de saída

3 SIMULAÇÃO

Inicialmente simulei várias características do amplificador OTA, de forma a comprovar que o mesmo funcionava corretamente. Uma vez aprovado o OTA, o inseri no circuito de bandgap, com os pinos REF ligados a fontes de corrente ideais, e verifiquei o funcionamento satisfatório do bandgap. Por fim, inseri o circuito de startup e derivei as referências para os OTAs do próprio circuito. Esta metodologia é muito importante para depurar o circuito, facilitando a detecção e correção de erros. Vou omitir estes vários passos para não tornar este documento por demais extenso.

1.1 Amplificador OTA

Primeiramente um teste de laço aberto com alimentação de 3,3V. Como o amplificador irá trabalhar com cerca de 0,6V de tensão de modo comum em suas entradas, acrescentei uma fonte V2 de 0,5V em suas entradas, além da fonte de tensão diferencial V4.

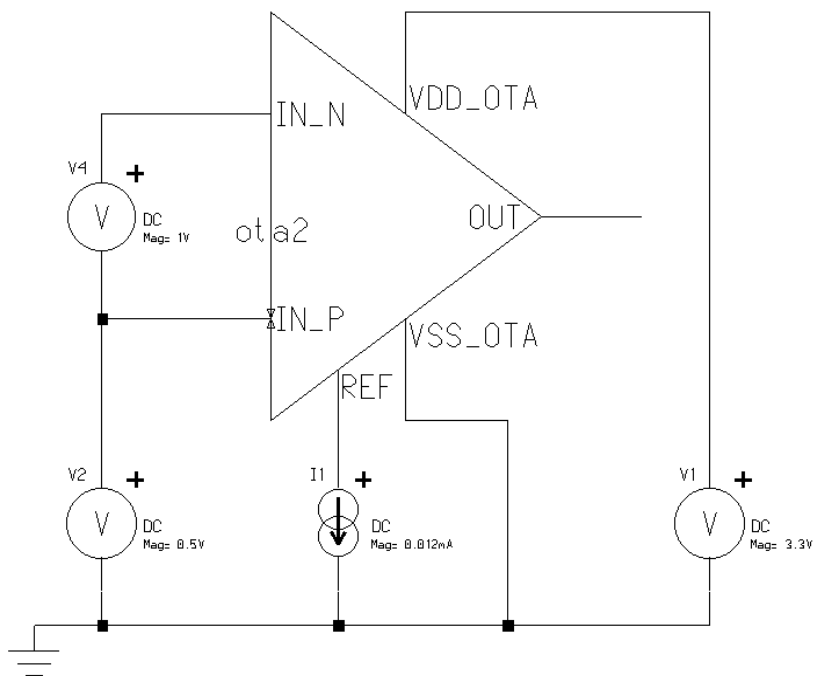


Fig. 3.1 – Teste do OTA em laço aberto

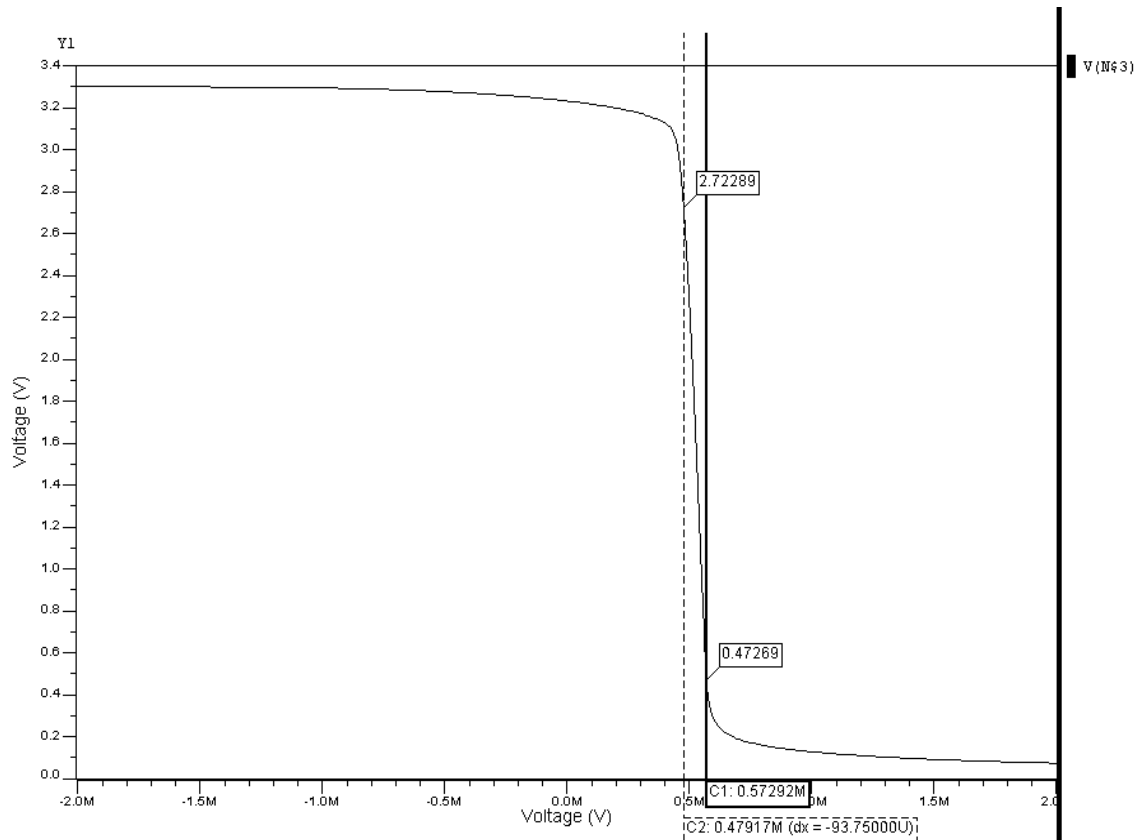


Fig. 3.2 – Resultado do OTA em laço aberto

Do gráfico acima pode-se obter a tensão de offset do OTA ($V_{\text{offset}} \approx 0,5\text{mV}$), assim como seu ganho de tensão $A_v \approx 24000$. Este resultado já denuncia que os parâmetros de processo da AMS $0,35\mu\text{m}$ são bastante distintos do da AMIS $0,5\mu\text{m}$ (para o qual foi projetado originalmente o OTA), pois lá A_v não atingiu 9000.

O próximo teste é com o amplificador em configuração de seguidor de tensão (ganho unitário), de forma a mensurarmos seu range de tensões de entrada e também sua deriva térmica (drift).

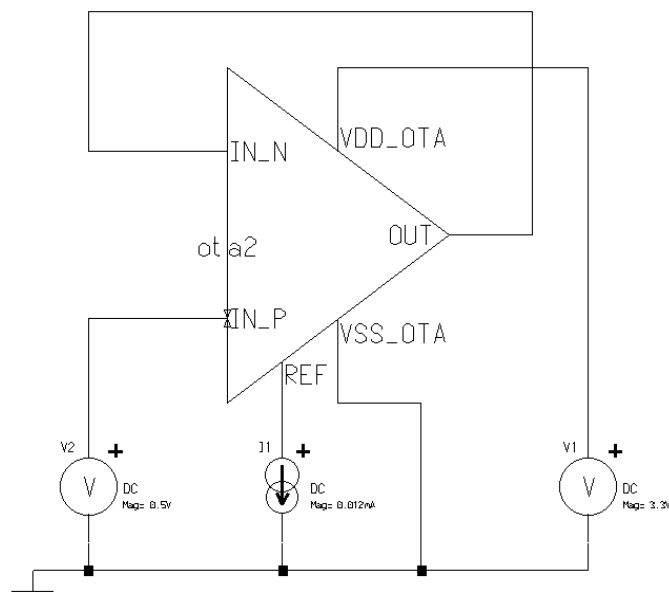


Fig. 3.3 – Teste do OTA como seguidor de tensão

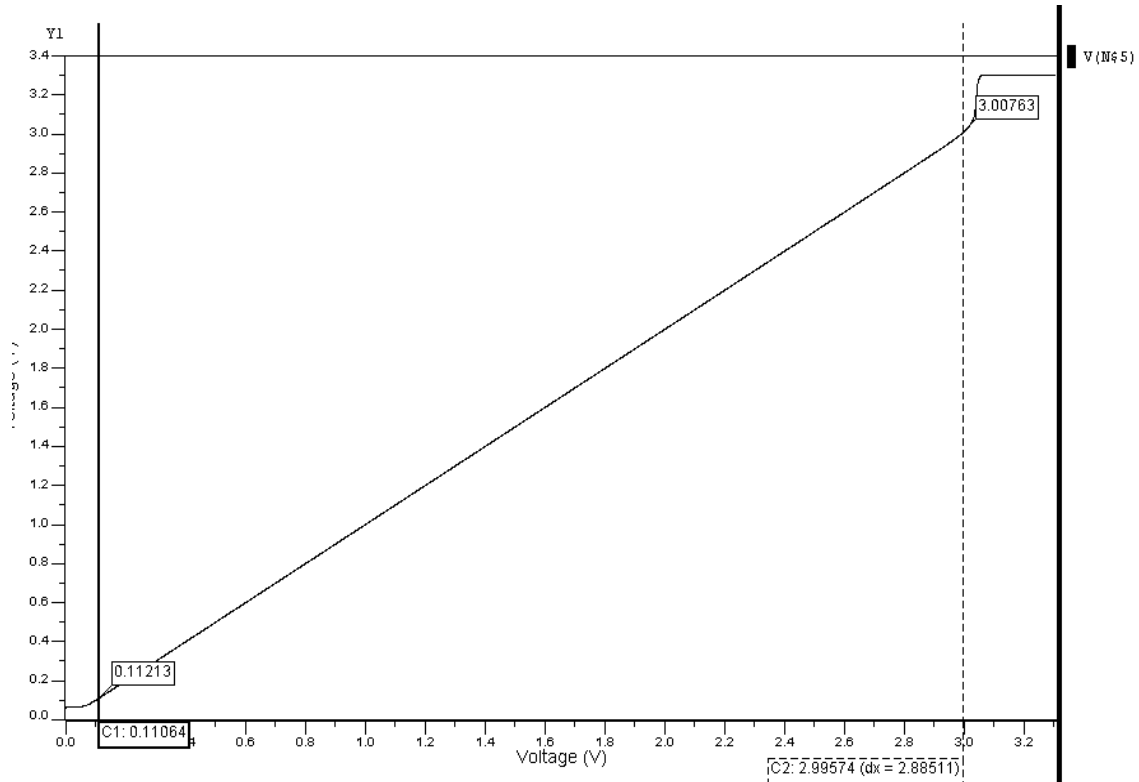


Fig. 3.4 – Resultado do OTA como seguidor de tensão

O gráfico acima indica que o OTA permite trabalhar com tensões de modo comum entre 0,1V e 3V, estando portanto adequado a tensão de modo comum do circuito (0,6V).

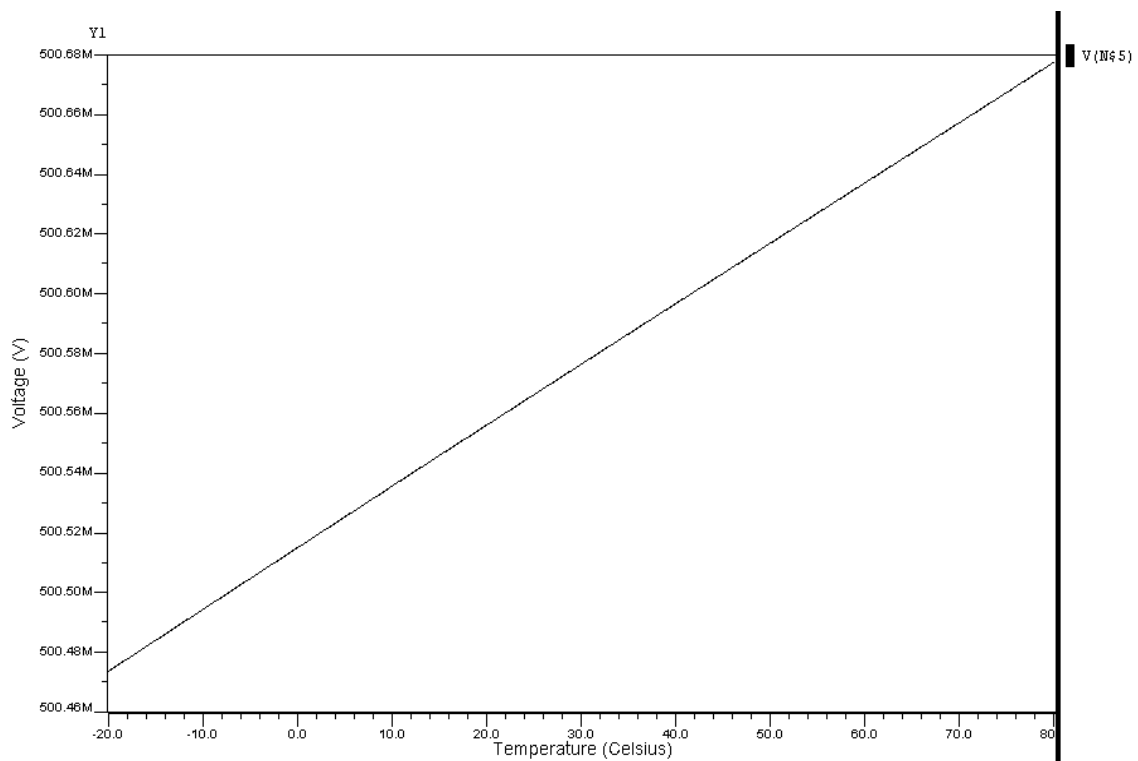


Fig. 3.5 – Drift térmico do OTA como seguidor de tensão

Já o drift térmico é da ordem de $2,1\mu\text{V}/^\circ\text{C}$, ou cerca de $4,2\text{ppm}/^\circ\text{C}$. Trata-se de um drift térmico relativamente baixo e, portanto, o amplificador pode ser usado como buffer para as saídas do bandgap sem comprometer seu desempenho.

A seguir, os resultados para resposta em frequência do amplificador com uma carga de 4pF . Note que inseri fonte $V_4=500\mu\text{V}$ para zerar o offset. Resultou de ganho DC de 87dB (confirmando resultado anterior) e margem de fase de 48° .

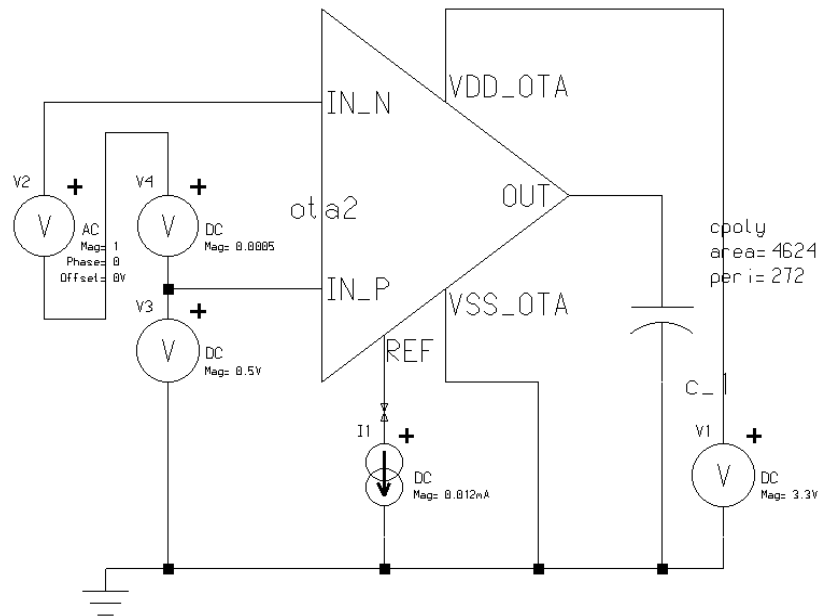


Fig. 3.6 – Teste de resposta em frequência do OTA

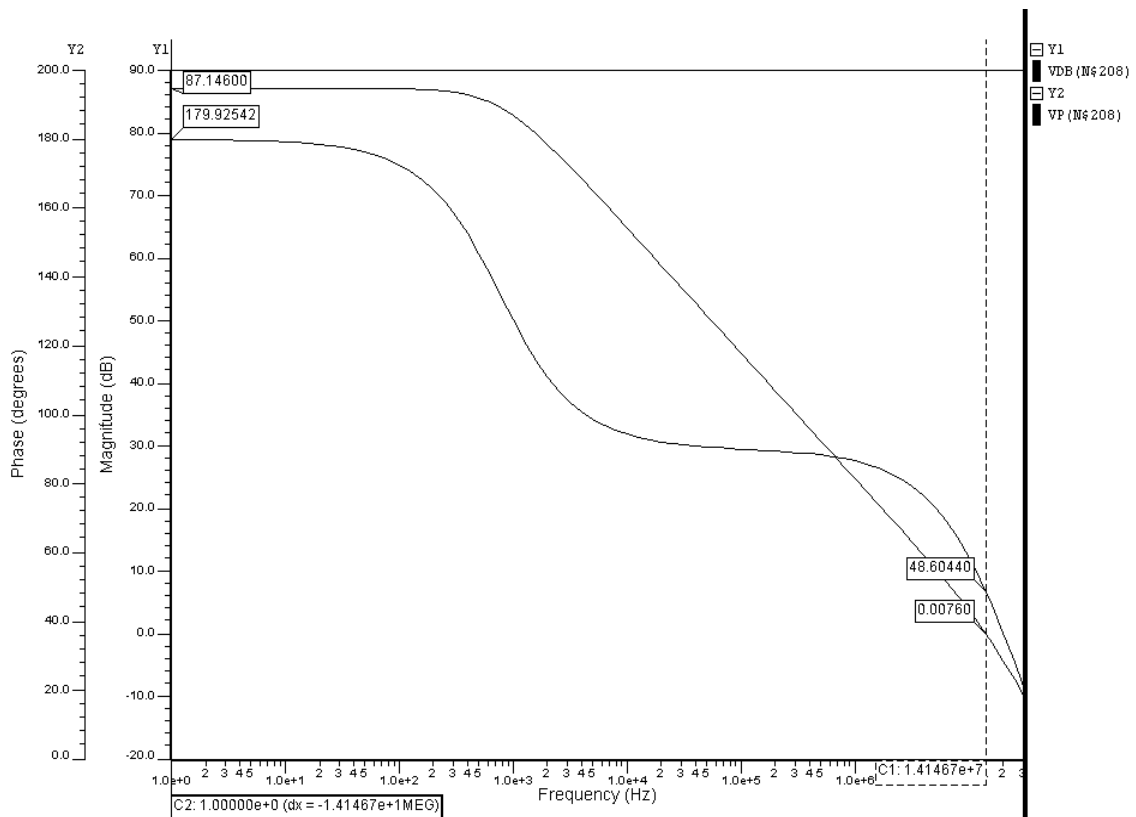


Fig. 3.7 – Resposta em frequência do OTA com carga de 4pF

Por fim, vou testar o ganho de modo comum. Para isso utilizei o circuito abaixo. Na região de interesse (em torno de 0,6V) o ganho de modo comum é de cerca de 2,9.

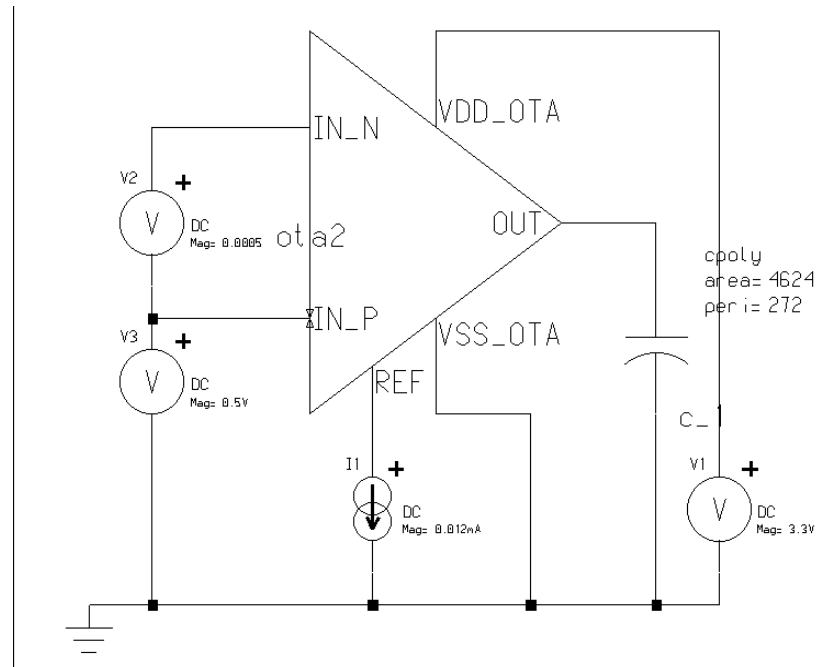


Fig. 3.8 – Teste do ganho de modo comum do OTA

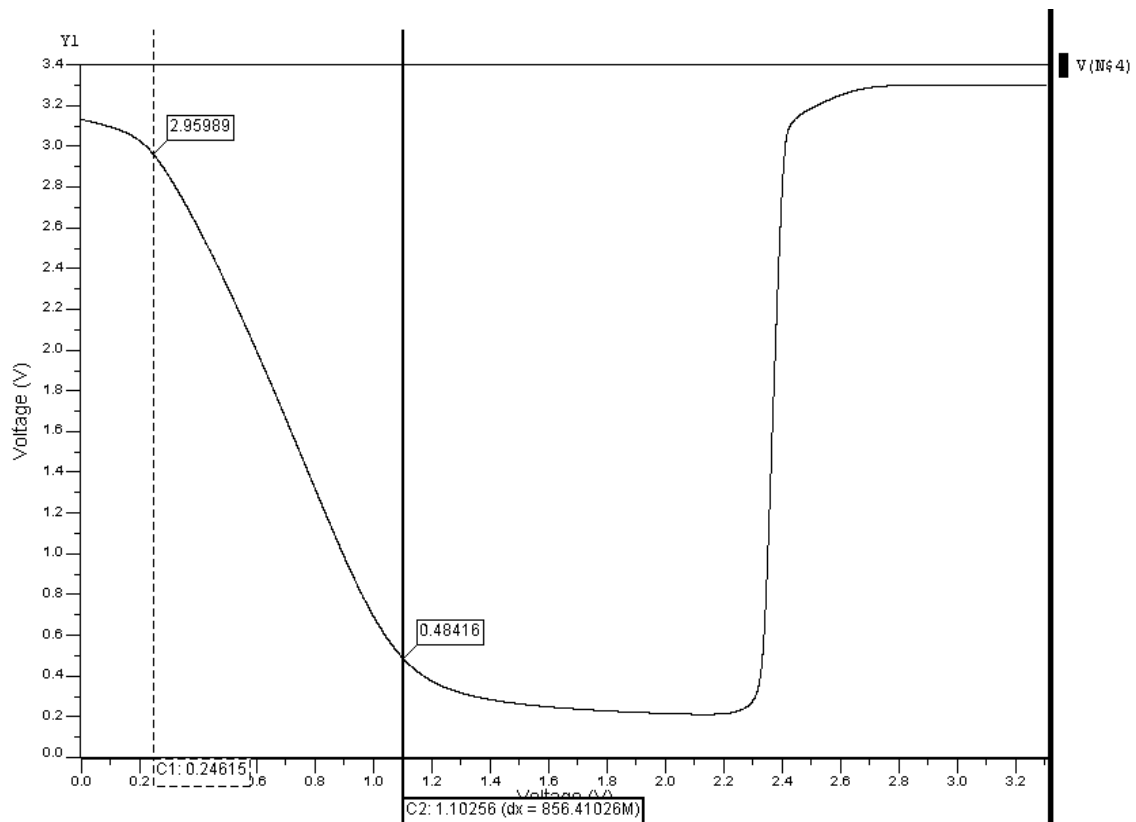


Fig. 3.9 – Ganho de modo comum do OTA

Com base nas informações acima podemos gerar uma tabela de características do amplificador OTA gerado em tecnologia AMI 0,35 μ m, com transistores de L=1,4 μ m (ver esquema figura 2.12):

Parâmetro	OTA em AMIS 0,5 μ m	OTA em AMS 0,35 μ m
Comprimento de canal	1,5 μ m	1,4 μ m
Ganho Diferencial	76 dB	87 dB
Margem de fase	52°	48°
Produto GBW	11 MHz	14 MHz
Potência dissipada	447 μ W	395 μ W
Ganho de modo comum	4 dB	9 dB
CMRR	72 dB	78 dB
Tensão de offset	-1,14 mV	0,50 mV
ICMR	2V \geq ICMR \geq 0,4V	3V \geq ICMR \geq 0,1V

Tab. 3.1 – Comparação das características do OTA nas duas tecnologias

Nota: Posteriormente tive acesso as características do processo AMS 0,35 μ m. Abaixo reproduzo as principais características de cada tecnologia.

Parâmetro	OTA em AMIS 0,5 μ m	OTA em AMS 0,35 μ m
Tensão de limiar V_{THn}	0,63 V	0,46 V
Fator de ganho K_n	37,4 μ A/V ²	170 μ A/V ²
Tensão de limiar V_{THp}	-0,99 V	-0,68 V
Fator de ganho K_p	13,9 μ A/V ²	58 μ A/V ²
Capacitância Poly-Poly2	0,91 fF/ μ m ²	0,86 fF/ μ m ²

Tab. 3.2 – Comparação de tecnologias em que foi implementado o OTA

Existe uma grande diferença nos parâmetros dos transistores CMOS. Apesar disso, o OTA tem um comportamento semelhante nos dois casos. Mas isso pode ser explicado em função do ponto quiescente ser determinado pela fonte de corrente de 12 μ A ligada ao pino REF. E nos testes posteriores, do bandgap, este ponto de operação será determinado pela corrente no resistor R1 (que, por sua vez, depende apenas do valor de R1 e da tensão DV_{BE}).

Assim, seria interessante recalculer o circuito levando em consideração estes novos parâmetros, mas a simulação demonstrou que o amplificador se comporta adequadamente mesmo sem esta providência. Para não estender demasiadamente este trabalho vou manter o OTA inalterado.

Também os transistores para as fontes de corrente do circuito bandgap podem permanecer inalteradas, uma vez que suas correntes são determinadas pelas relações de (W/L) dos transistores. Mas este não é o caso do circuito de startup, que depende basicamente dos parâmetros de tecnologia para determinar seu ponto quiescente. Então, convém que, pelo menos neste caso, os cálculos sejam refeitos.

Recalculando (W/L) do transistor m_{13} com base nos parâmetros de tecnologia AMS $0,35\mu\text{m}$ aplicados as equações 2.22 e 2.25 resulta em $0,46\text{V} < V_{GS13} < 1,06\text{V}$, de onde se fixa $V_{GS13} = 0,76\text{V}$ e $(W/L)_{m_{13}} = 9,5$ em vez de 40 como calculado anteriormente (mantendo inalterado o resistor $R3 = 34,9\text{K}\Omega$).

Também os transistores para gerar as correntes de polarização dos amplificadores de saída devem ser recalculados. Como a corrente de polarização é de $12\mu\text{A}$ resulta que $(W/L)_{m_{15}} = (W/L)_{m_{16}} = 1,5$. Note que não vou usar a tensão V_{REF} gerada pelo próprio circuito bandgap para esta corrente de polarização em função desta tensão ser um pouco alta ($1,2\text{V}$), o que iria necessitar de transistores com (W/L) da ordem de 0,25. Além disso, embora a tensão de bandgap seja muito estável com a temperatura, seu valor absoluto varia bastante com os parâmetros de processo. A simulação Monte Carlo, ilustrada adiante, demonstra que V_{REF} varia de $1,1\text{V}$ até $1,3\text{V}$ e, portanto, o ponto quiescente dos amplificadores de saída (buffers) também iria variar significativamente (como acontece com o esquema adotado, derivado da tensão de startup, que varia conforme a alimentação V_{DD} do circuito). Mas em ambos os casos o circuito se mostrou pouco sensível a esta variação.

1.2 Circuito Bandgap

Gerei o símbolo abaixo para o circuito de bandgap, já com os buffers de saída. O primeiro teste é de variação da tensão de saída com a temperatura (de -20°C a 80°C).

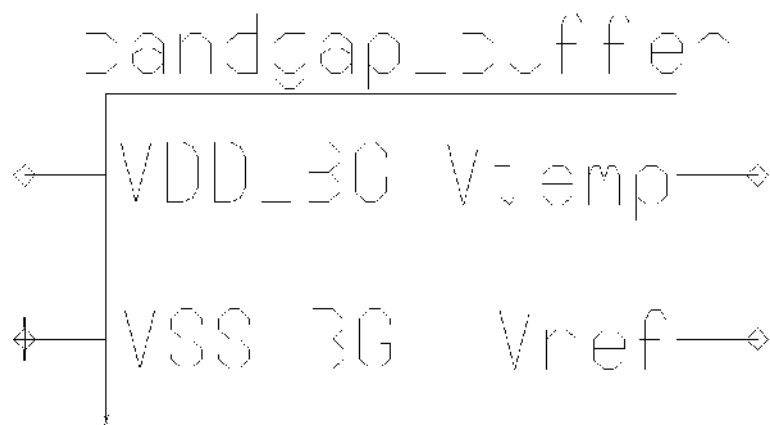


Fig. 3.10 – Símbolo do circuito bandgap com buffers de saída

O circuito de teste, tanto para variação de temperatura quanto variação da tensão de alimentação é mostrado na figura 3.11. Os resultados são apresentados nos gráficos a seguir.

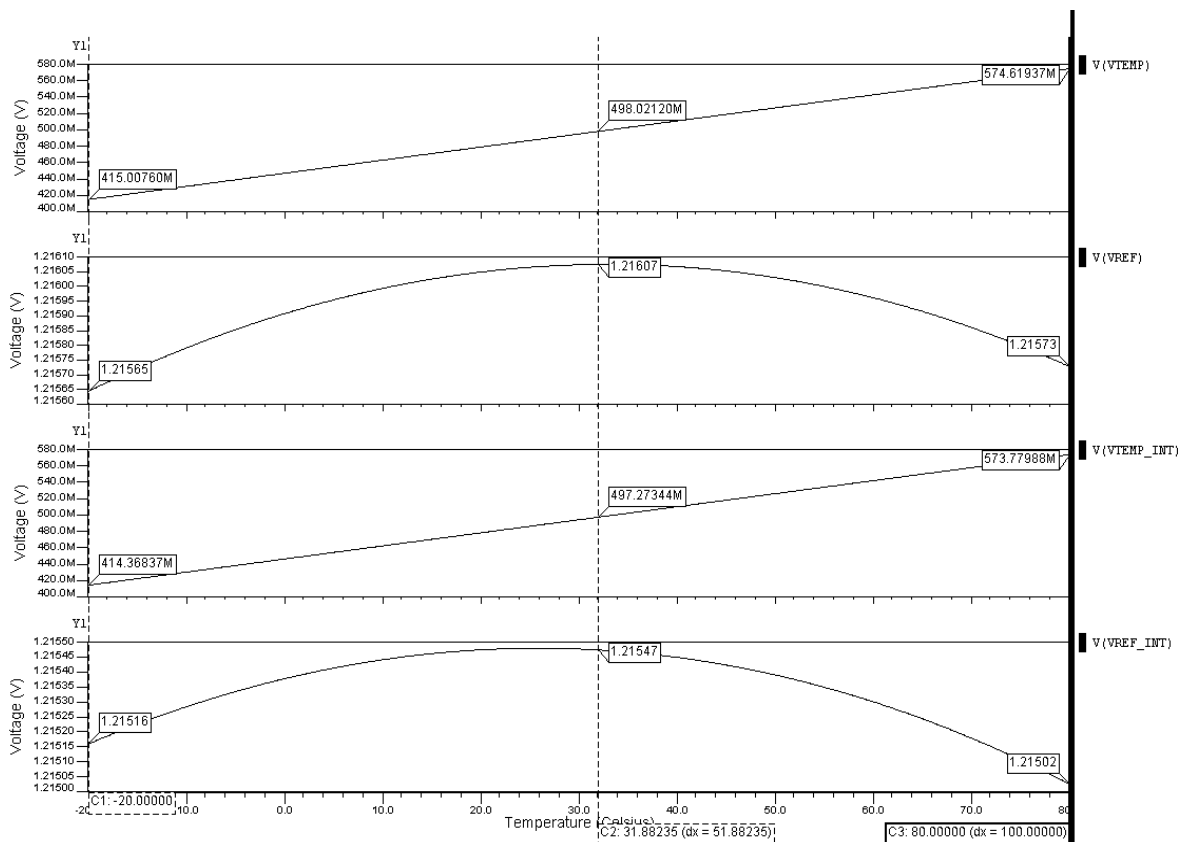
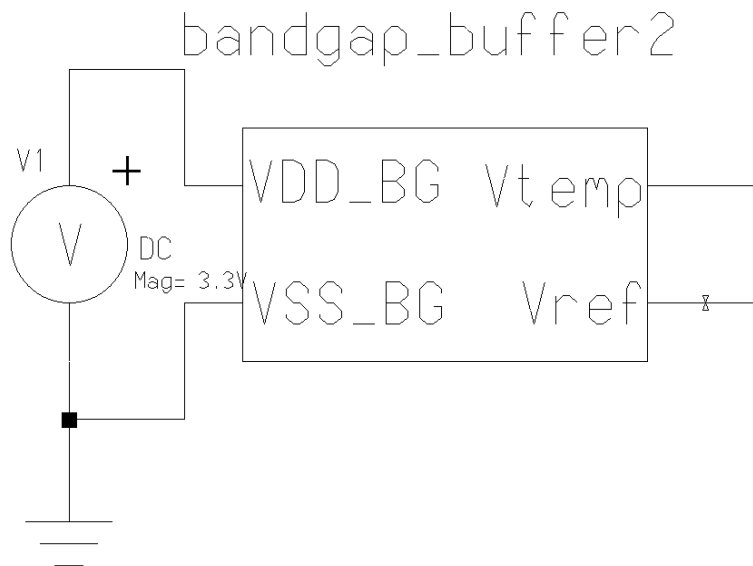


Fig. 3.12 – Variação das saídas do bandgap com a temperatura (3,5ppm/°C)

O gráfico acima mostra um desempenho excepcional. Note que plotei tanto as saídas VREF e VTEMP do circuito bandgap com saídas amplificadas, quanto os sinais internos VREF_INT e VTEMP_INT presentes antes dos buffers das saídas. Isso permite constatar que os buffers praticamente não implicaram perda de performance para o circuito.

A saída V_{REF} apresentou uma variação de $420\mu\text{V}$ no intervalo de 100°C e uma tensão média de cerca de $1,216\text{ V}$, resultando em estabilidade de $3,5\text{ ppm}/^\circ\text{C}$. Já a saída V_{TEMP} variou de 415mV a $574,6\text{mV}$ no intervalo entre -20°C e 80°C , apresentando um coeficiente térmico de $1,6\text{ mV}/^\circ\text{C}$. E a linearidade da curva é excelente. Se considerarmos a equação linear derivada da curva:

$$V_{TEMP} = 1,5962 \cdot 10^{-3} T + 0,4469 \quad \text{eq. 3.1}$$

e calcularmos o ponto de temperatura $31,88^\circ\text{C}$ (cursor central) obteremos $V_{TEMP}=497,8\text{mV}$, em grande conformidade com o gráfico.

Importante ressaltar que este resultado foi obtido somente após o ajuste por tentativa e erro (o que é muito facilitado pela curva parabólica característica do circuito) do resistor R_2 . O valor final ficou em cerca de $8,9\text{K}\Omega$, bem distante dos $12,26\text{K}\Omega$ calculados teoricamente. Mas isso é facilmente explicável pela grande dependência do fator \times em função da tensão V_{BE0} (ver equação 2.17). Pela documentação da Austria Micro Systems para a corrente aplicada esta tensão é de $0,7\text{V}$ e não $0,6\text{V}$ como havia considerado. Com isso o valor de \times cai para $10,4$ e o novo R_2 calculado seria $10,3\text{K}\Omega$. Ainda longe de $8,9\text{K}\Omega$, mas há de se considerar que outros parâmetros da equação também podem não estar precisos, como V_{GO} .

Outro dado interessante que verifiquei na documentação é que o transistor bipolar vertical disponível nesta tecnologia possui uma faixa de comportamento exponencial incrível. Ela se estende para correntes de coletor na faixa de $0,1\text{pA}$ até $100\mu\text{A}$ (6 décadas). Com isso, a premissa de que era necessária uma corrente mínima de $5\mu\text{A}$ no transistor bipolar é falsa e poderíamos diminuir significativamente as correntes do circuito. Isso iria impactar no consumo do mesmo, um pouco elevado. A simulação do bandgap com buffers relatou uma dissipação de $2,2\text{mW}$ típico ($670\mu\text{A}$ em $3,3\text{V}$).

Vou verificar também a tolerância do circuito a cargas resistivas nas saídas. Como os amplificadores utilizados possuem pouca capacidade de corrente (a corrente no segundo estágio é de apenas $108\mu\text{A}$, e inexistente um estágio de saída) a carga resistiva deve ser superior $12\text{K}\Omega$, ou a corrente será excessiva. Para evitar problemas vou fixar resistores de carga de $100\text{K}\Omega$. Eles são suficientemente altos de forma a não modificar significativamente o ponto quiescente dos OTAs, mas permitem calcular a impedância de saída do circuito. Além disso, são bastante realistas no caso de fabricação do CI (difícilmente o equipamento de medida não terá impedância superior a $100\text{K}\Omega$).

Na página seguinte reproduzo os gráficos obtidos de V_{REF} e V_{TEMP} em função da tensão de alimentação, com e sem carga de $100\text{K}\Omega$, e também a corrente de polarização para os amplificadores de saída (presente no pino REF). Fiz V_{dd} transitar entre $2,6\text{V}$ e $4,0\text{V}$ (+/- 20%).

Dos gráficos pode se perceber que a corrente de polarização foi mantida próxima do calculado ($12\mu\text{A}$), variando conforme a tensão de alimentação (o que era de se esperar, pois a corrente em m_{13} é diretamente dependente de V_{dd}).

Além disso, a regulação de V_{REF} em função da tensão de alimentação ficou em $2,62\text{mV/V}$, ou seja, V_{REF} varia $0,26\%$ para cada 1V de variação em V_{dd} . Não é um resultado excepcional, pois implica em uma rejeição a variações na fonte de alimentação da ordem de -52dB .

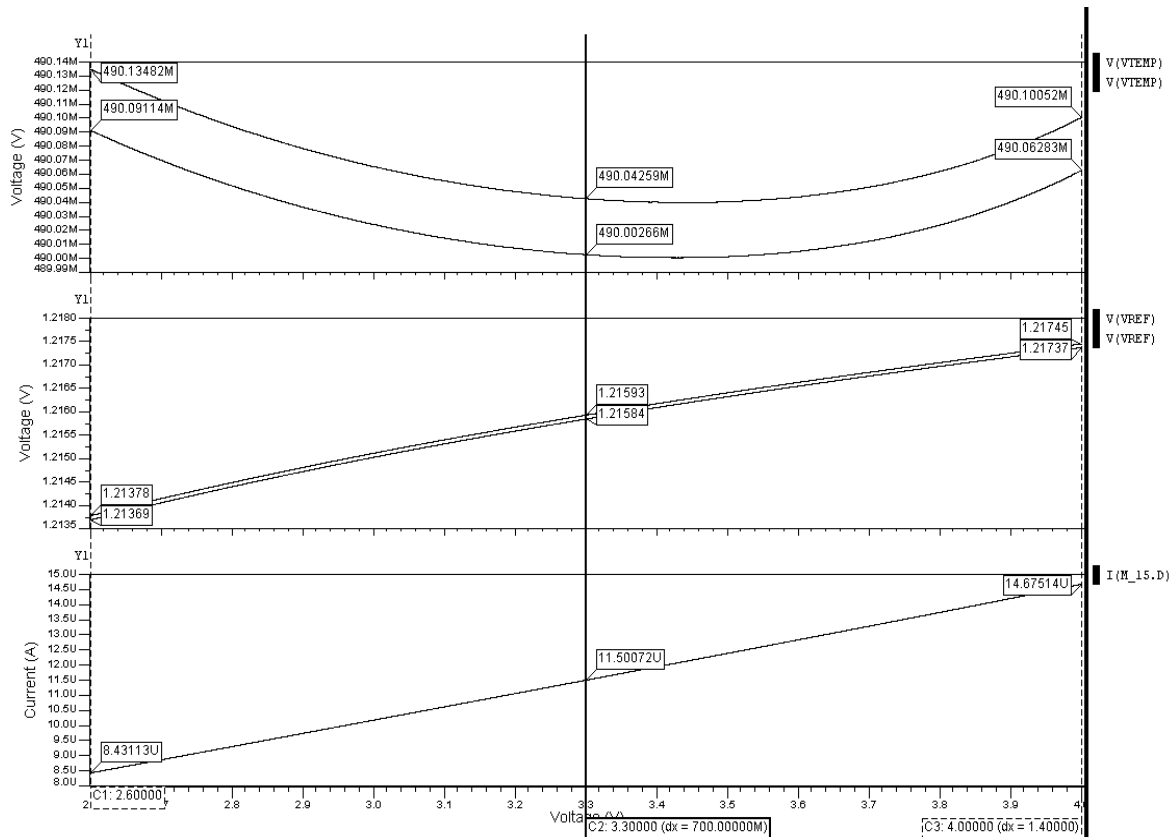


Fig. 3.13 – Variação das saídas do bandgap com V_{dd} (com e sem carga resistiva)

Já a saída V_{TEMP} variou cerca de 132μV/V, ou seja, V_{TEMP} varia 0,013% para cada 1V de variação de V_{dd}. O que indica uma rejeição a variações da alimentação em torno de -77dB.

Por fim, o gráfico acima também permite calcular a impedância de saída do circuito. Considerando o divisor resistivo formado pela resistência interna e resistência de carga obtemos:

$$R_{OUT} = R_L \left(\frac{V_{OPEN}}{V_{RL}} - 1 \right) \quad \text{eq. 3.2}$$

onde V_{OPEN} é a tensão de saída a circuito aberto e V_{RL} a tensão de saída com a carga R_L. Resulta em resistência de saída R_{OUT} em torno de 8Ω.

Fiz um teste de rejeição de variação na fonte de alimentação em função da frequência (PSRR). O gráfico demonstra conformidade com os valores de rejeição DC já calculados, mas indica degradação deste parâmetro para frequências acima de 3KHz. Para implementar este teste simplesmente inseri uma fonte de tensão AC em série com a alimentação DC de 3,3V, para simular uma fonte de ruído.

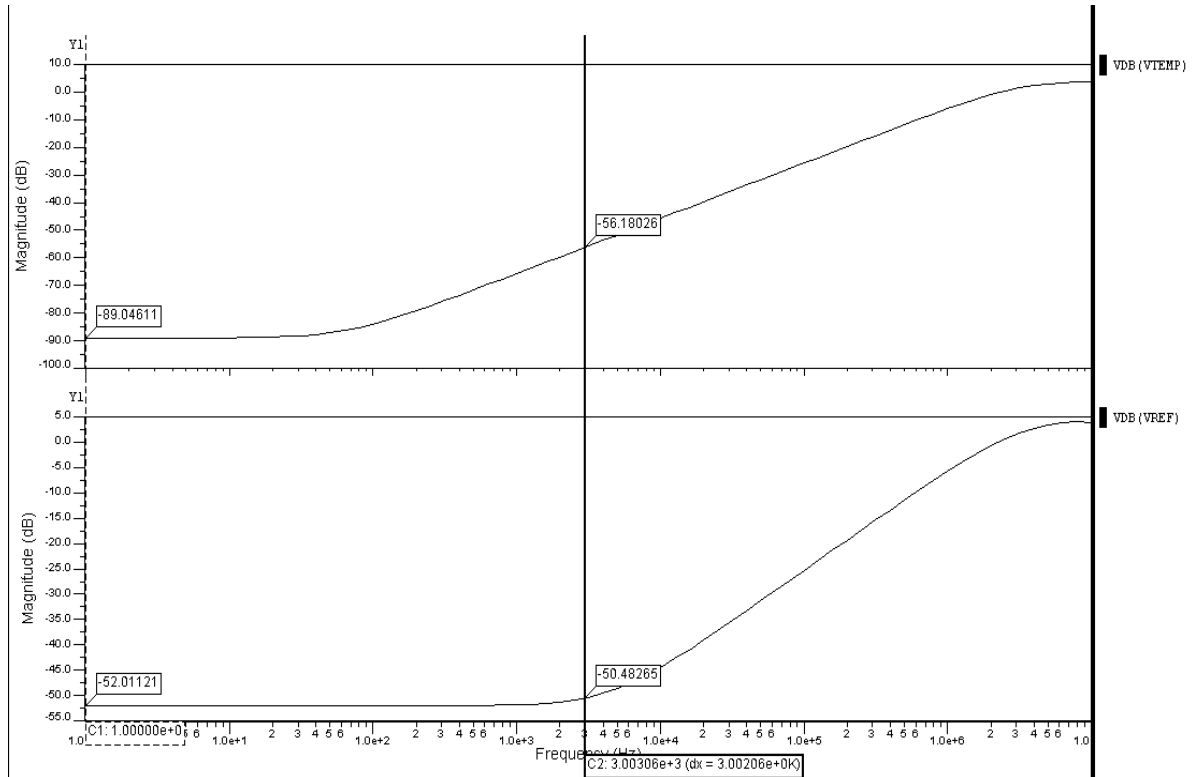


Fig. 3.14 – PSRR do bandgap em função da frequência

Um último teste é o de variação das saídas em função da temperatura, com e sem carga de 100K Ω .

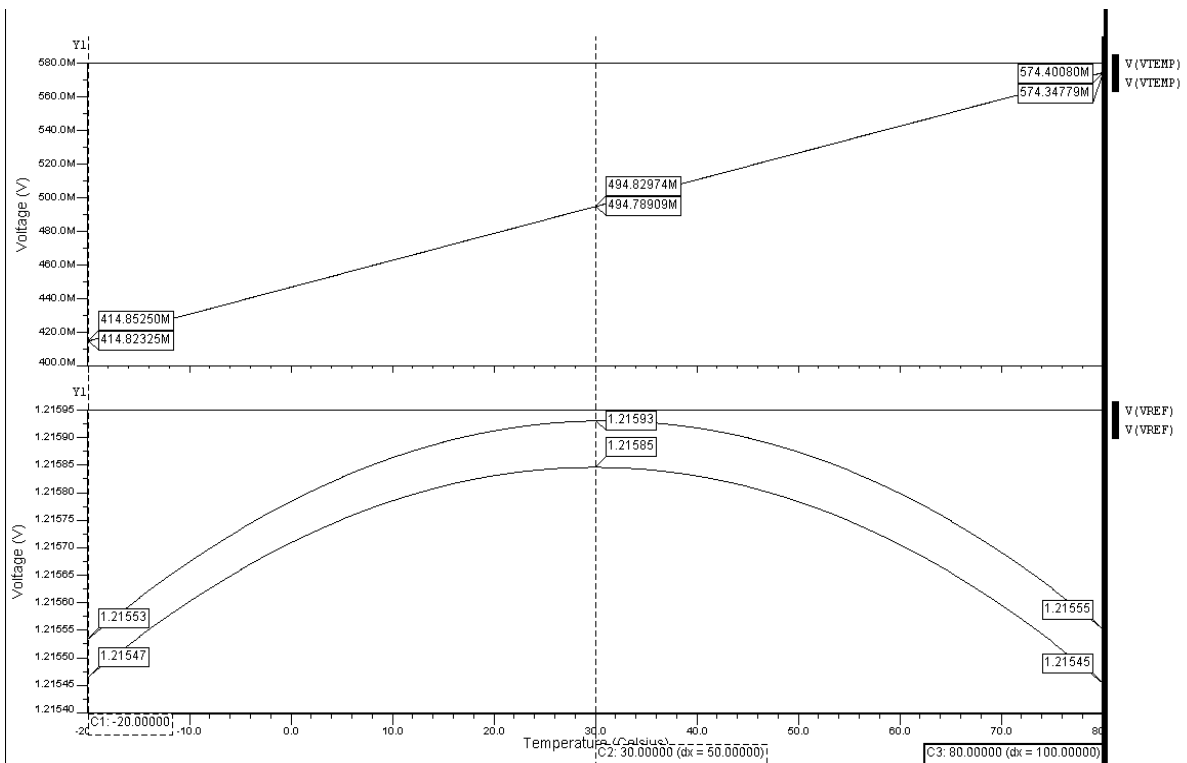


Fig. 3.15 – Variação do bandgap com a temperatura (com e sem carga resistiva)

As simulações relatadas anteriormente não consideram a variabilidade de processo envolvida na fabricação do circuito integrado. Mas a ferramenta da Mentor Graphics permite simular repetidas vezes o circuito, variando aleatoriamente os parâmetros de processo conforme as tolerâncias especificadas pelo fornecedor do design kit (no caso, Austria Micro Systems). Esta simulação é designada Monte Carlo, e considera variações nos transistores CMOS, transistores bipolares, resistores e capacitores. Fiz 100 simulações pelo método Monte Carlo:

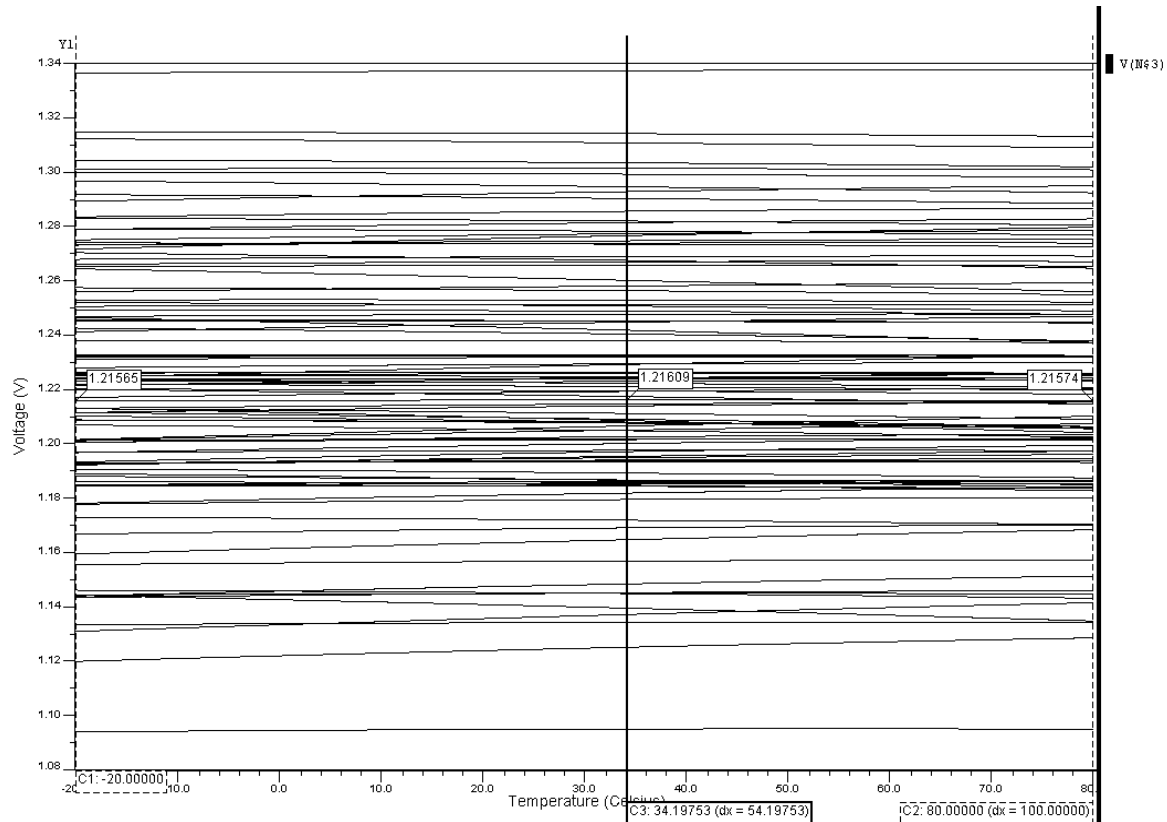


Fig. 3.16 – Tensão de saída VREF em 100 simulações (Monte Carlo)

O gráfico mostra que a tensão de saída VREF varia entre 1,09V e 1,34V, sendo o valor típico 1,22V. Calculei o valor de estabilidade térmica para cada uma das 100 interações, resultando na tabela a seguir:

3,6	5,3	-20,8	13,2	-25,7
27,8	31,7	44,8	-33,8	-3,9
7,4	-5,5	-38,6	30,8	-12,8
63,8	24,9	6,1	66,3	76,9
-11,7	-19,8	6,8	15,9	51,4
-27,7	-9,1	5,6	9,6	14,9
-38	-6,5	27,8	-3,8	77,1
45,2	-74,6	-6,5	29,6	-20,3
15,9	-67	29,2	8,3	-7,3
14,8	8,8	25,6	5,1	6,7
19,3	-83,7	9	-17,4	24,5
7,2	-19,4	-11,8	-6,6	20,7
7,9	-5,2	72	-6,6	-43,6
7,7	15,1	43,1	50,9	-15,4
-43,4	7,9	45	-21,9	-25,2
13	-37,4	-25,8	3,6	8,4
-6,5	5,3	-4,4	-25,2	10,6
50	22,1	-14,9	-31,9	34,8
63,4	-22,6	-73,9	-44,8	-18,5
8,7	-19,8	-17,4	-30	-45,3

Tab. 3.3 – Estabilidade térmica em ppm/°C para 100 simulações

Os dados da tabela 3.3 resultam em valor médio de $+2,0 \text{ ppm}/^\circ\text{C}$ e desvio padrão de $\pm 32,2 \text{ ppm}/^\circ\text{C}$. Já os limites extremos foram $+77,1 \text{ ppm}/^\circ\text{C}$ e $-83,7 \text{ ppm}/^\circ\text{C}$. Com isso, podemos afirmar com certa segurança que o circuito possui uma estabilidade térmica típica de $\pm 32 \text{ ppm}/^\circ\text{C}$, e estabilidade térmica mínima de $\pm 90 \text{ ppm}/^\circ\text{C}$ (aumentei um pouco este valor mínimo em função do número reduzido de simulações – apenas cem – de forma a considerar uma margem de erro adicional). Considerando que o circuito não prevê nenhum sistema de ajuste (trimming) estes valores são bastante satisfatórios.

Simulações adicionais me permitiram identificar os fatores mais relevantes nos desvios do circuito bandgap. Assim, permitindo variabilidade apenas nos transistores CMOS obtive $\pm 77 \text{ ppm}/^\circ\text{C}$. Já com apenas transistores bipolares o valor foi de $\pm 62 \text{ ppm}/^\circ\text{C}$. Por fim, ao simular o bandgap com variações somente nos resistores resultou em $\pm 27 \text{ ppm}/^\circ\text{C}$. Isso demonstra que o circuito poderia ser melhorado aumentando o comprimento de canal dos transistores CMOS (atualmente em $1,4\mu\text{m}$).

Símbolo	Parâmetro	Condição	Mín.	Típ.	Máx.	Unidade
V _{REF}	Tensão de referência	27°C	1,09	1,22	1,34	V
DV _{REF}	Coeficiente de temperatura	-20 a 80°C		32	90	ppm/°C
DV _{REF}	Susceptibilidade a V _{dd}	2,6V a 4V		2,6		mV/V
R _{OUT}	Resistência de saída	27°C		8		Ω
PSRR	Rejeição a variações de V _{dd}	3 KHz		-50		dB
V _{dd}	Tensão de alimentação	27°C	2,6	3,3	4,0	V
R _L	Resistência de carga	V _{dd} =3,3V	15			KΩ

Tab. 3.4 – Resultados de simulação do circuito bandgap

4 LAYOUT

O layout foi gerado no ICStudio da empresa Mentor Graphics. Como se trata de circuito analógico resolvi fazer as conexões manualmente. Mas esta estratégia não parece ser muito adequada para esta ferramenta. Em especial, a falta de um DRC instantâneo como o existente no software Magic é um grande empecilho para otimizar o layout. Como é difícil ter em mente todas as regras de projeto da tecnologia empregada (AMS 0,35 μ m) se acaba por utilizar distâncias maiores que as necessárias. E, ainda assim, depois é exigido um minucioso trabalho de correção dos erros apontados pelo DRC.

4.1 Amplificador OTA

Estudei a possibilidade de utilizar um layout em par cruzado para os transistores a serem casados no amplificador, de forma que gradientes térmicos e diferenças espaciais nas características dos dispositivos fossem minimizadas. Entretanto, esta topologia exige um grande cruzamento de conexões, o que acaba por aumentar a área dos transistores e, portanto, os problemas de casamento.

Então, resolvi “quebrar” os transistores dos espelhos de corrente em tamanhos idênticos, de forma a garantir uma relação entre as correntes próxima a relação (W/L) de cada ramo. Os transistores m_5 e m_8 devem ser idênticos e possuem (W/L)=15. Então, os separei em três partes e intercalei as partes segundo a ordem 5 8 8 5 5 8. Com isso, as conexões de dreno e fonte ficaram bastante simplificadas. Já o transistor m_6 possui (W/L)=135. Para que ele seja o mais parecido possível com m_5 e m_8 convém separá-lo em partes idênticas as partes de m_5 e m_8 . Para isso basta separá-lo em 27 partes, já que $135/15 = 9 \times 3 = 27$.

Os transistores do par diferencial (m_1 e m_2) de entrada foram separados em três partes intercaladas da mesma forma que m_5 e m_8 . Já os transistores do espelho de corrente inferior (m_3 e m_4), como possuem (W/L)=2, não foram desmembrados.

Por fim, o transistor m_7 do segundo estágio foi repartido em 9 partes, de forma que cada parte apresentasse o mesmo (W/L)=2 de m_3 e m_4 .

Com isso, todos os pedaços dos transistores PMOS do OTA possuem (W/L)=5. Já todos os pedaços dos transistores NMOS possuem (W/L)=2.

Note que incluí transistores inúteis do ponto de vista elétrico (dummy) nas extremidades de cada conjunto de transistores. Com isso, é possível minimizar diferenças no etching do polisilício de gate dos transistores ativos. Estes transistores estão com gates ligados a Vdd (PMOS) ou Vss (NMOS), de forma a permanecerem cortados.

Já o capacitor de compensação entre poly e poly2 é gerado de forma retangular, sobre poço n. Assim, não consegui conformá-lo como fiz no layout gerado em Magic (ver figura 2.10). Também seu tamanho é maior, tanto devido ao anel de Vdd que o cerca quanto pela capacitância por área menor nesta tecnologia (cerca de $0,86\text{fF}/\mu\text{m}^2$).

Abaixo reproduzo o layout do amplificador OTA gerado. Note que as cores utilizadas pelo software não são usuais. Assim, o metal 1 está representado por verde, o metal 2 por azul, e mantive o polisilício representado apenas por um contorno em azul, de forma a permitir visualizar os nomes dos transistores. Já o polisilício 2 (usado no capacitor de compensação, à direita) é representado por um padrão de círculos azuis preenchidos e abertos.

Todos os transistores m_? (com underline) se referem a transistores ativos. Já os transistores m? (sem underline) são os transistores dummy, colocados nas extremidades dos transistores ativos para minimizar diferenças de processo.

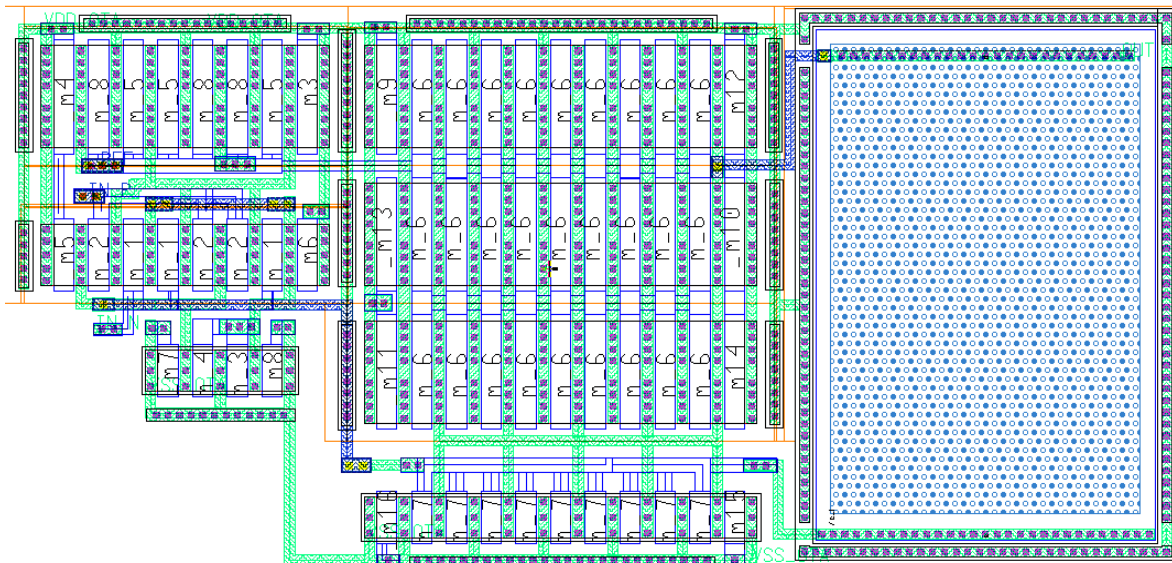


Fig. 4.1 – Layout do amplificador OTA em IC-Studio (Mentor)

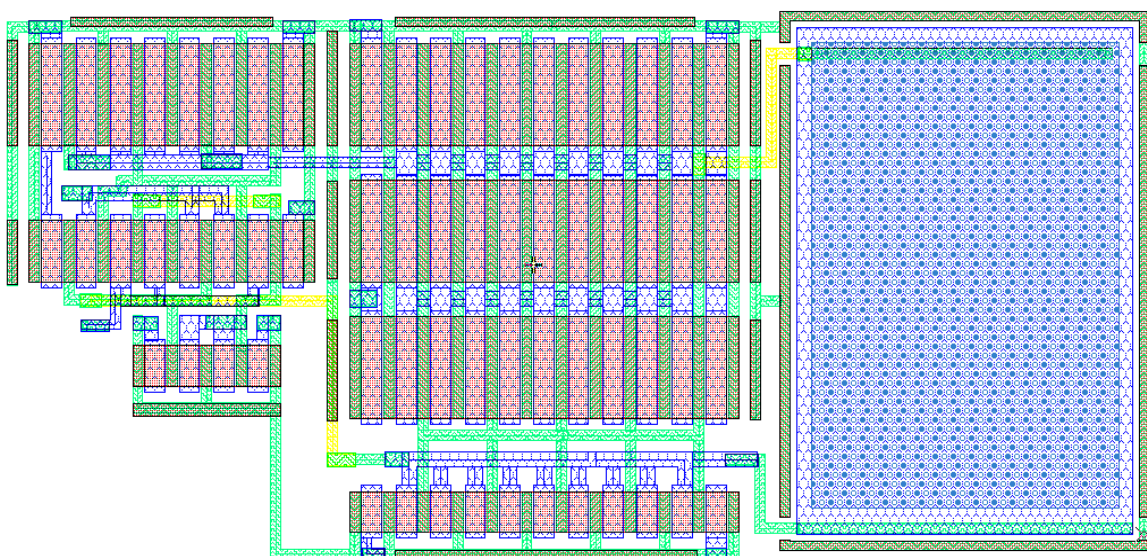


Fig. 4.2 – Layout do amplificador OTA com polisilício em grade azul

Ao submeter o layout ao DRC resultou em mais de 100 erros, que uma vez corrigidos foram reduzidos a 24. Estes remanescentes se referem ou a avisos sobre a tecnologia utilizada, a inexistência de preenchimento mínimo das camadas de metal, ou ainda a existência de transistores dummy (que não constam no diagrama elétrico). Ou seja, todos podem ser desconsiderados.

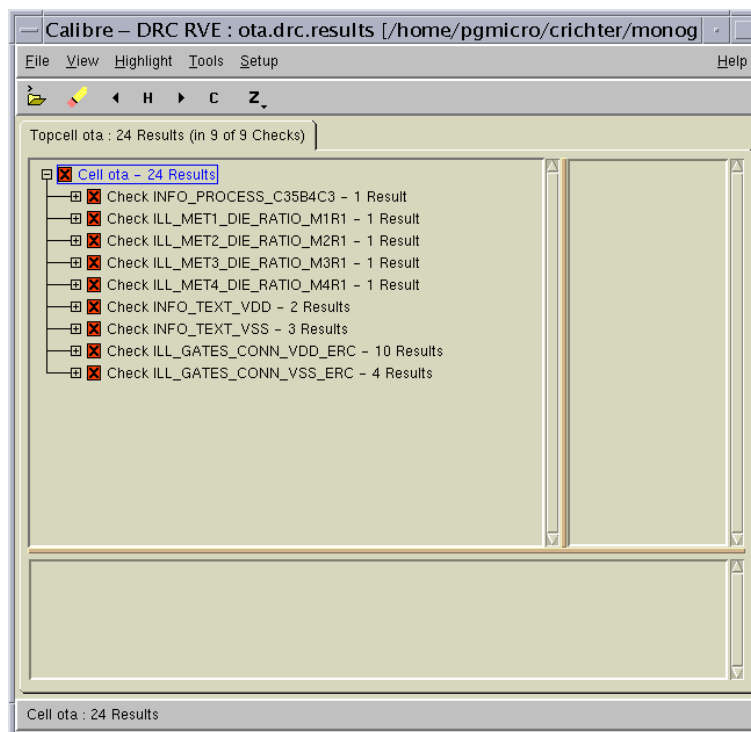


Fig. 4.3 – DRC do layout do amplificador OTA

Foi feita a extração de parâmetros do layout e novas simulações via Spice. Os resultados foram muito semelhantes aos obtidos no capítulo anterior (lá baseados no esquema elétrico). A seguir reproduzo estes resultados. Os circuitos de teste são idênticos aos descritos no capítulo anterior.

Em vários gráficos é apresentada a resposta do layout, simulado via extração do modelo Spice, sobreposta a resposta de simulação do esquema elétrico. Com isso é possível perceber a grande similaridade de comportamento. Uma pequena discrepância na margem de fase pode ser explicada pela diferença na capacitância de compensação do OTA. Esta diferença foi resultado da edição do capacitor, para que se adequasse ao layout. O software gera um capacitor quadrado, e ao editá-lo para retangular, embora mantenha-se a área, seu perímetro se modifica, alterando ligeiramente o valor de capacitância. Como isso não é muito relevante no circuito bandgap não me preocupei em corrigí-lo (a variação foi da ordem de 1%).

No caso do ICMR (figura 4.5) plotei também a derivada da curva, o que permitiu identificar melhor os limites de operação do OTA. Fixei como limites $\pm 1\%$ em torno do ganho unitário. Entretanto, o gráfico de ganho de modo comum mostrou limites bem mais estreitos, uma vez que a partir de 2,3V este ganho sobe rapidamente. Este dado foi ignorado no caso da simulação do capítulo anterior, mas pode ser visto na figura 3.9.

Portanto, vou considerar o ICMR de operação do OTA como o intervalo entre 0,2V e 2,3V.

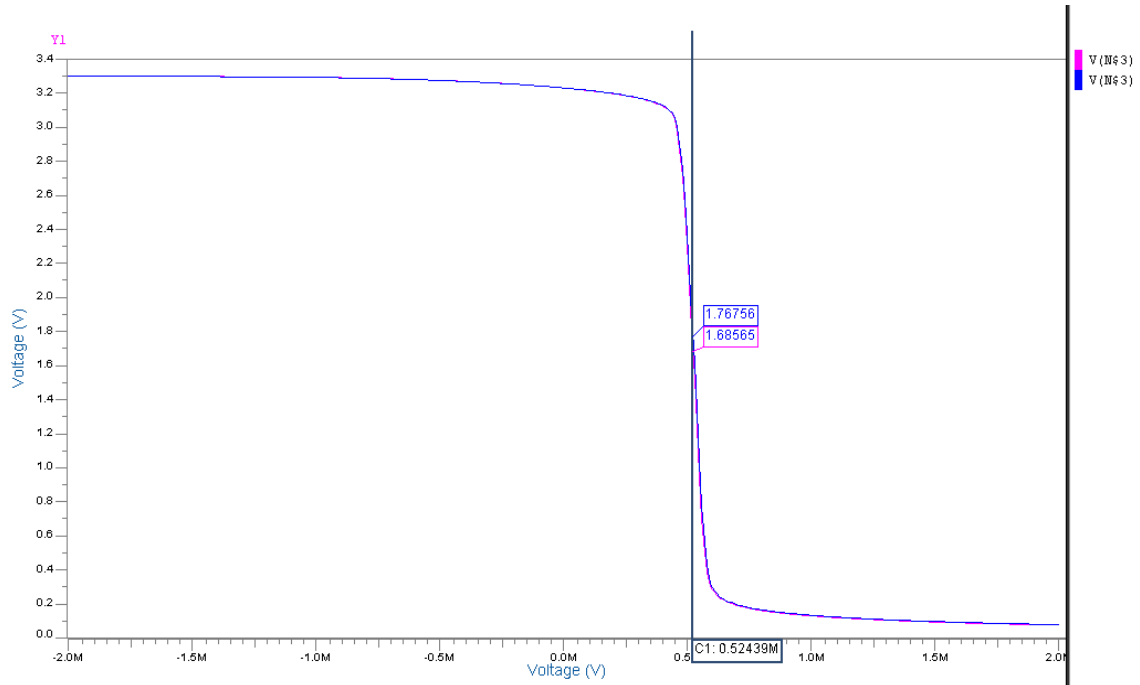


Fig. 4.4 – Esquema elétrico (rosa) e layout (azul) do OTA em laço aberto

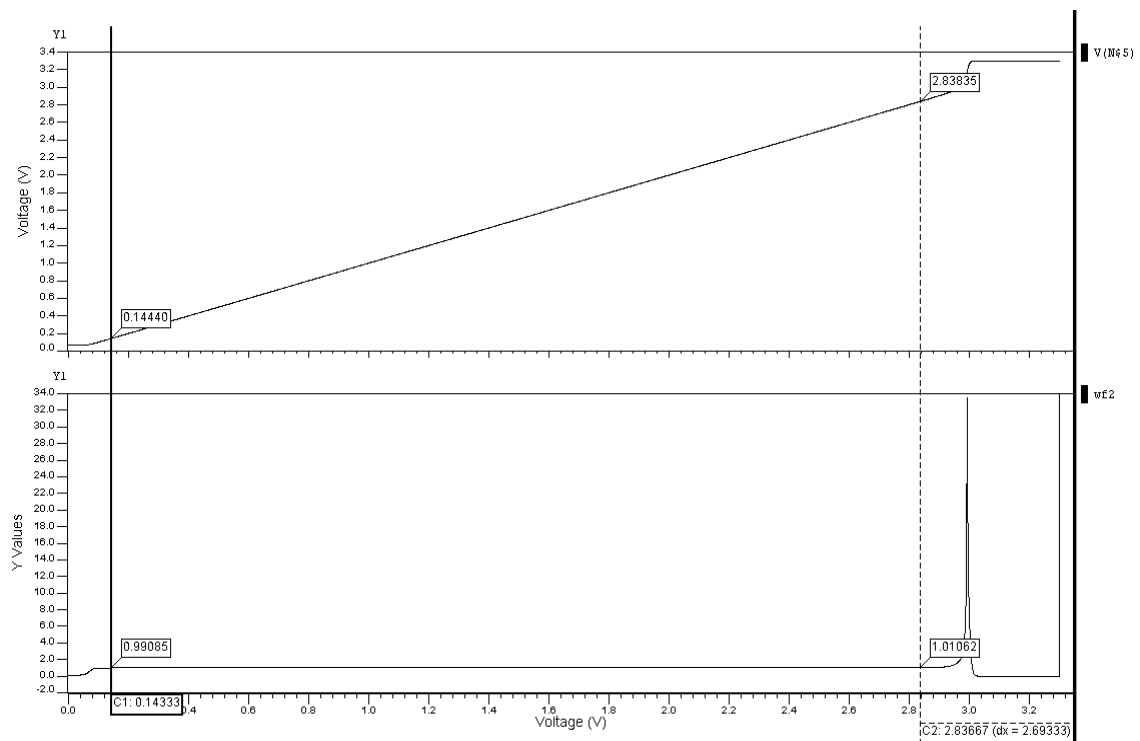


Fig. 4.5 – Resposta do layout como seguidor de tensão (saída e derivada)

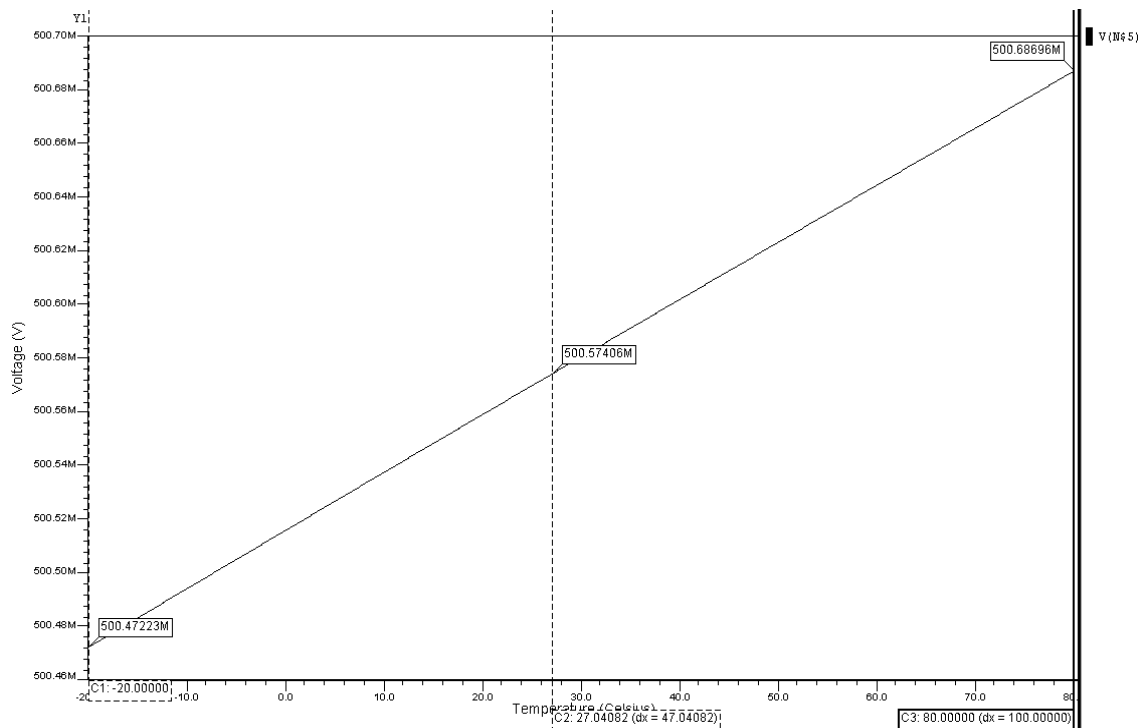


Fig. 4.6 – Drift térmico do layout como seguidor de tensão

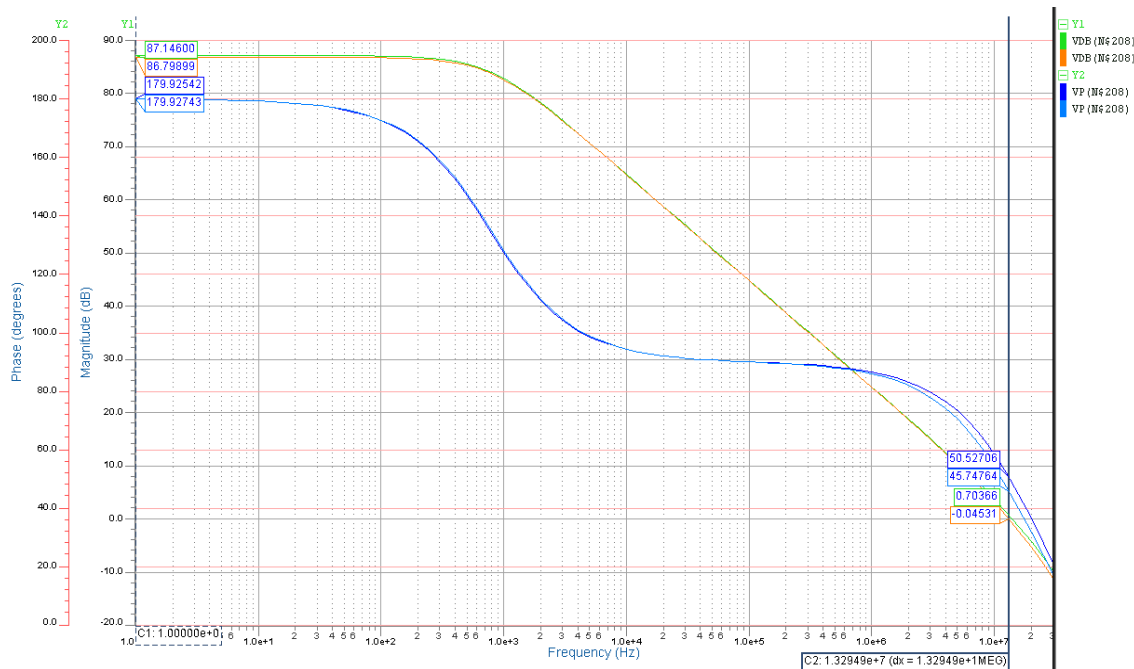


Fig. 4.7 – Resposta em frequência do esquema elétrico (verde) e do layout (laranja) com carga capacitiva na saída (4pF)

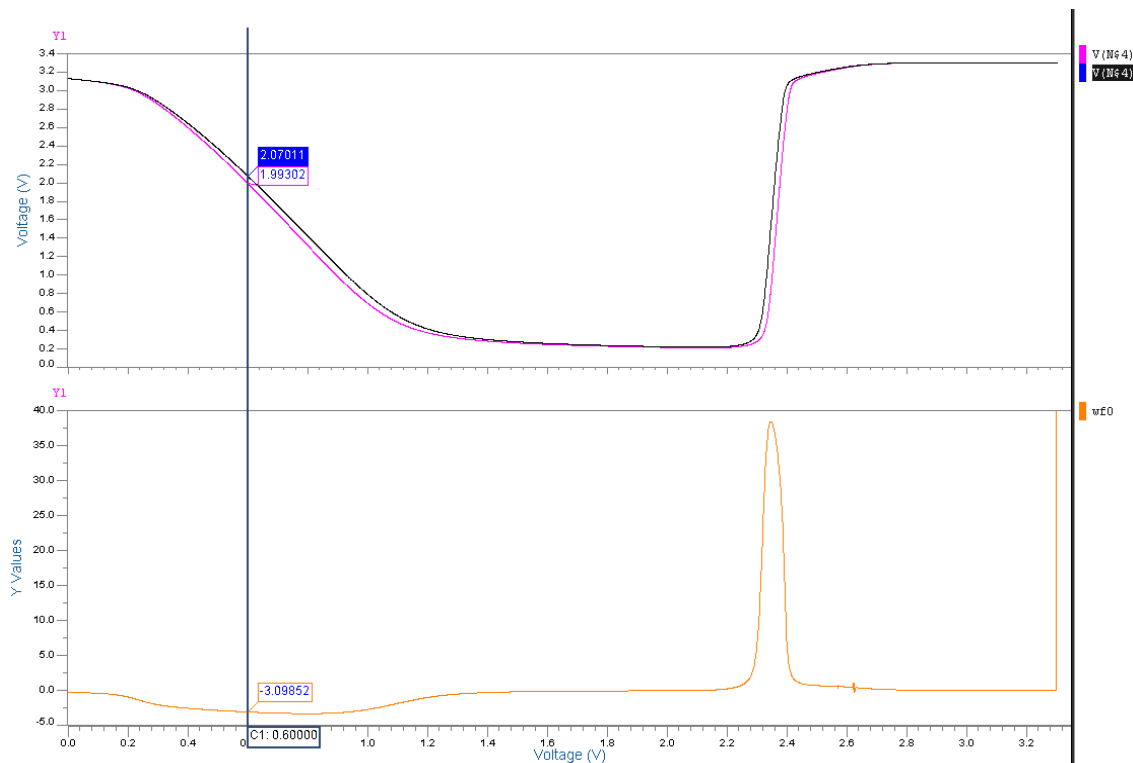


Fig. 4.8 – Ganho de modo comum do esquema (rosa) e layout (azul) do OTA e derivada do ganho de modo comum do layout

Com base nos dados acima é possível elaborar uma tabela comparativa entre a simulação do amplificador OTA via esquema elétrico e via extração de parâmetros de layout e simulador Spice. A similaridade é evidente, o que demonstra que o layout está satisfatório. Constatado isso, transformei o OTA em um bloco, de forma a utilizá-lo no layout do circuito bandgap.

Parâmetro	Esquema elétrico	Layout
Ganho Diferencial	87,1 dB	86,8 dB
Margem de fase	48°	46°
Produto GBW	14 MHz	13 MHz
Potência dissipada	395 μ W	402 μ W
Ganho de modo comum	9,0 dB	9,5 dB
CMRR	78,1 dB	77,3 dB
Tensão de offset	0,52 mV	0,52 mV
Drift térmico	2,07 μ V/°C	2,15 μ V/°C
ICMR	2,3V \geq ICMR \geq 0,1V	2,3V \geq ICMR \geq 0,2V

Tab. 4.1 – Comparação das simulações do OTA via esquema elétrico e via layout

4.2 Circuito Bandgap

Para garantir similaridade de comportamento entre os transistores m_9 , m_{10} , m_{11} e m_{14} , que devem fornecer todos a mesma corrente (metade da corrente do segundo estágio do OTA de realimentação do bandgap), vou reparti-los em 12 partes cada. Como estes transistores PMOS possuem $W=94,5\mu\text{m}$ e $L=1,4\mu\text{m}$ ($W/L=67,5$) resulta em partes de $W=7,875\mu\text{m}$. Este valor é similar as “quebras” implementadas nos transistores PMOS utilizados no OTA ($W=7\mu\text{m}$), o que deve garantir um comportamento semelhante. Como o W de cada parte ficou excessivamente fracionário (o que acarreta que o software, ao efetuar a dobra (fold) do transistor, gera um último transistor levemente diferente dos demais) resolvi assumir $W=7,88\mu\text{m}$ para cada parte. Com isso os transistores terão $W=94,56\mu\text{m}$ e $L=1,4\mu\text{m}$ ($W/L=67,54$).

Já os transistores NMOS usados no bandgap possuem $W=13,3\mu\text{m}$ (m_{13}), $W=2,8\mu\text{m}$ (m_{12}) e $W=2,2\mu\text{m}$ (m_{15} e m_{16}). Neste caso irei “quebrar” apenas m_{13} em 6 pedaços, de forma que cada pedaço tenha tamanho semelhante a m_{15} e m_{16} . Para isso vou alterar ligeiramente a largura de canal de m_{13} de $13,3\mu\text{m}$ para $13,32\mu\text{m}$ (já que $13,32\div 6=2,22$).

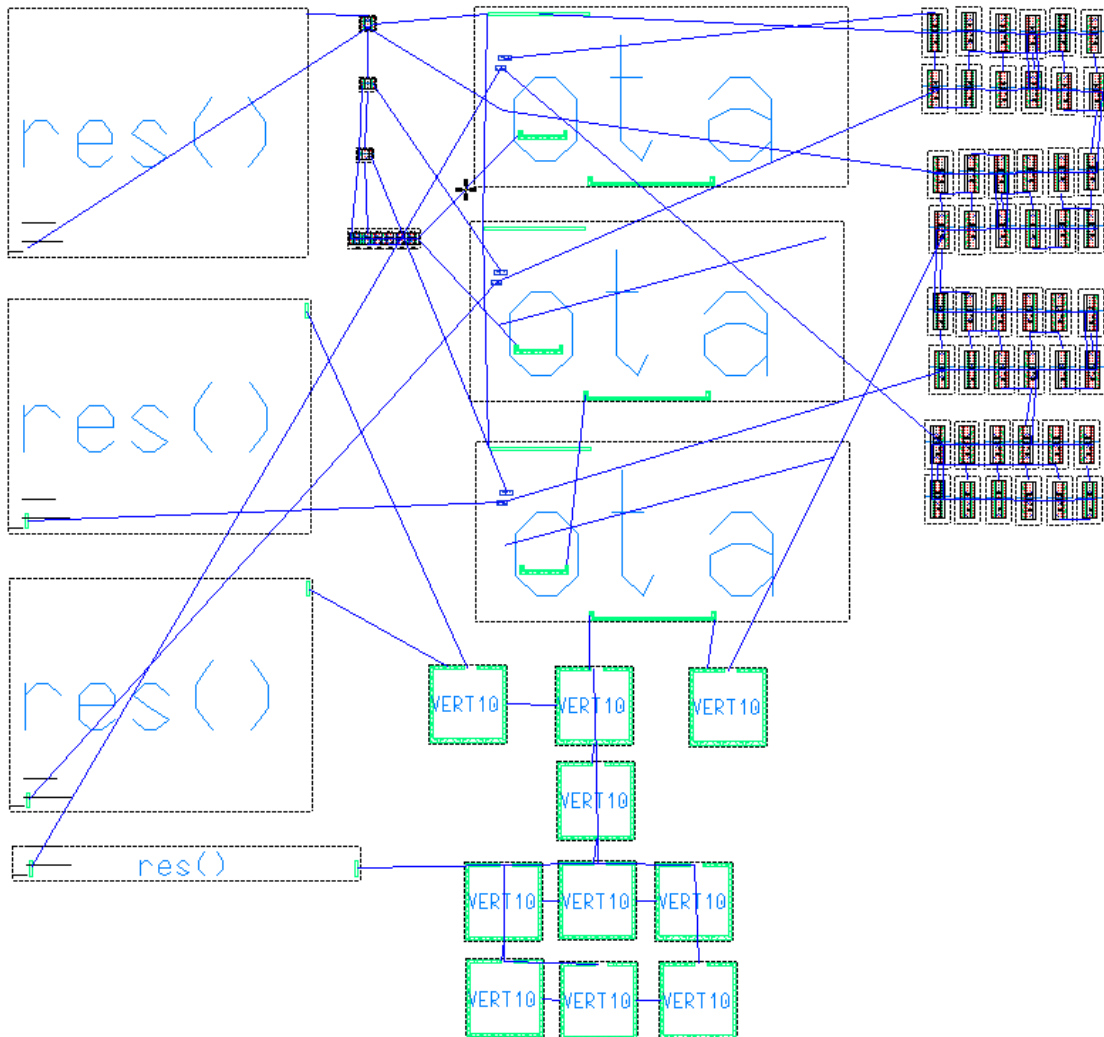


Fig. 4.9 – Componentes e conexões do bandgap antes do roteamento

Os resistores têm valores de 8307Ω para r_2 e r_4 , 933Ω para r_1 e 34400Ω para r_3 . Eles são formados pela segunda camada de polissilício (poly2), sem processamento especial (cerca de $50\Omega/$). Já o transistor bipolar q_1 é composto de 8 transistores em paralelo, idênticos aos transistores q_2 ou q_3 . Coloquei os transistores bipolares em linha, sendo que os centrais são q_2 e q_3 , e os quatro em cada extremidade formam q_1 . Já os transistores MOS estão intercalados de forma a garantir uma característica semelhante entre eles (importante para os espelhos de corrente do bandgap). Abaixo ilustro como intercalei os vários dispositivos.

M14	M9	M10	M11	M14	M9	M10	M11
M10	M11	M14	M9	M10	M11	M14	M9
M14	M9	M10	M11	M14	M9	M10	M11
M10	M11	M14	M9	M10	M11	M14	M9
M14	M9	M10	M11	M14	M9	M10	M11
M10	M11	M14	M9	M10	M11	M14	M9

M15	M13	M13	M13	M13	M13	M13	M16
-----	-----	-----	-----	-----	-----	-----	-----

Q1	Q1	Q1	Q1	Q2	Q3	Q1	Q1	Q1	Q1
----	----	----	----	----	----	----	----	----	----

Fig. 4.10 – Disposição dos transistores no layout

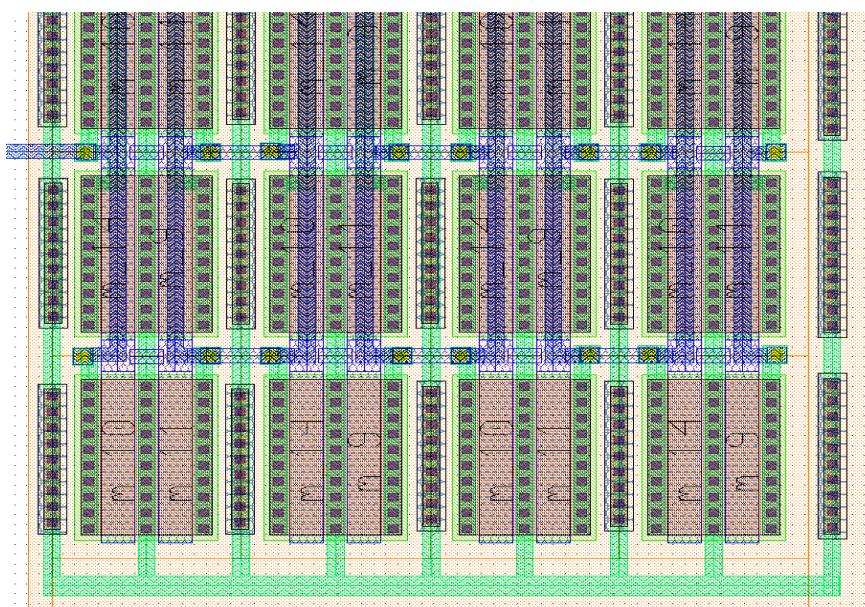


Fig. 4.11 – Detalhe dos transistores m_9 , m_{10} , m_{11} e m_{14} intercalados

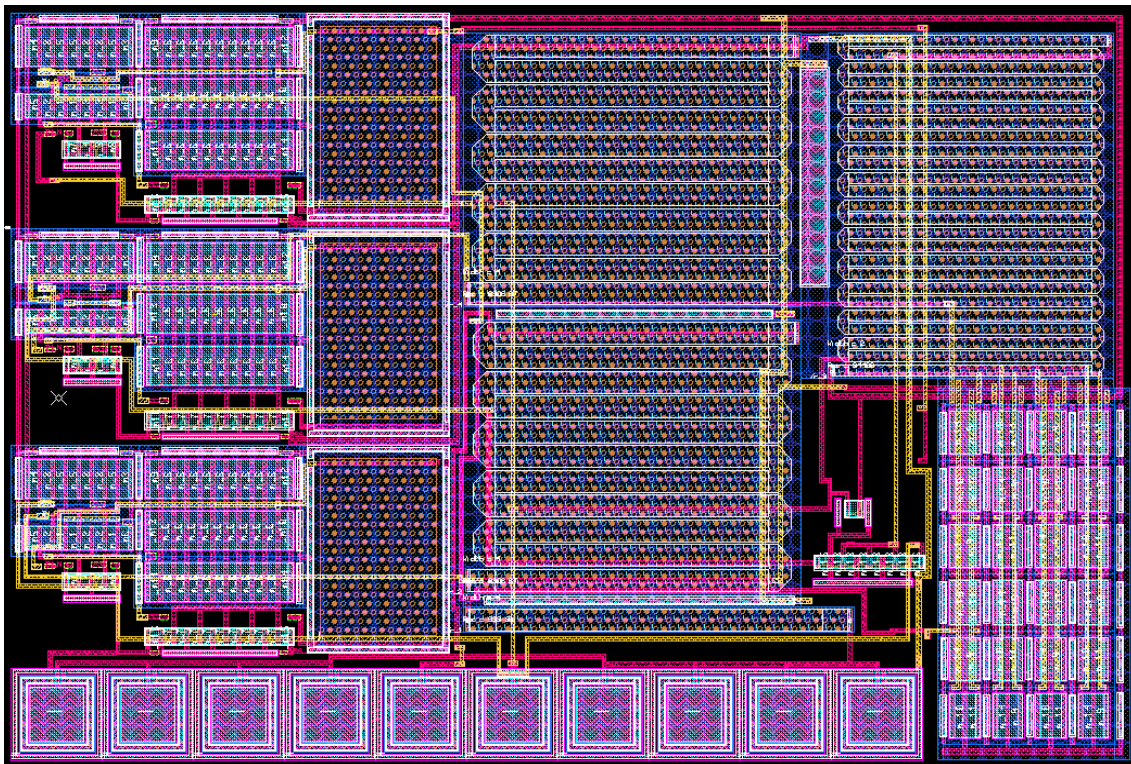


Fig. 4.12 – Layout completo da referência bandgap (210 x 140 μm)

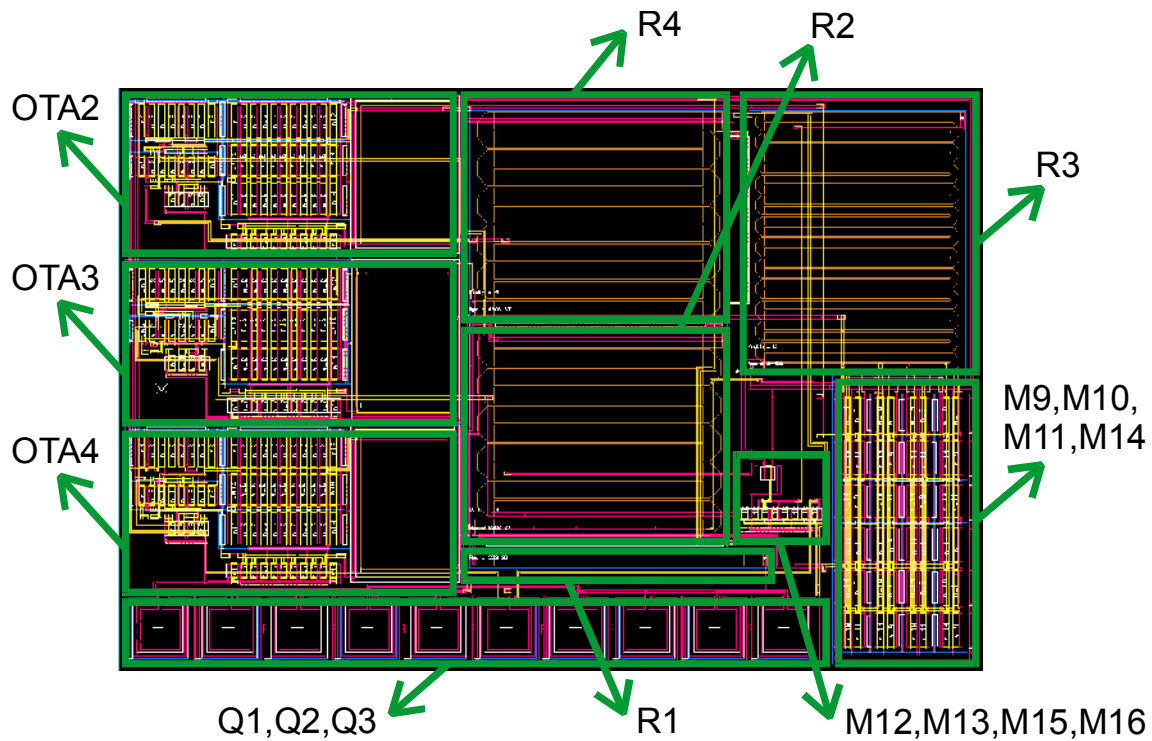


Fig. 4.13 – Principais componentes no layout do bandgap

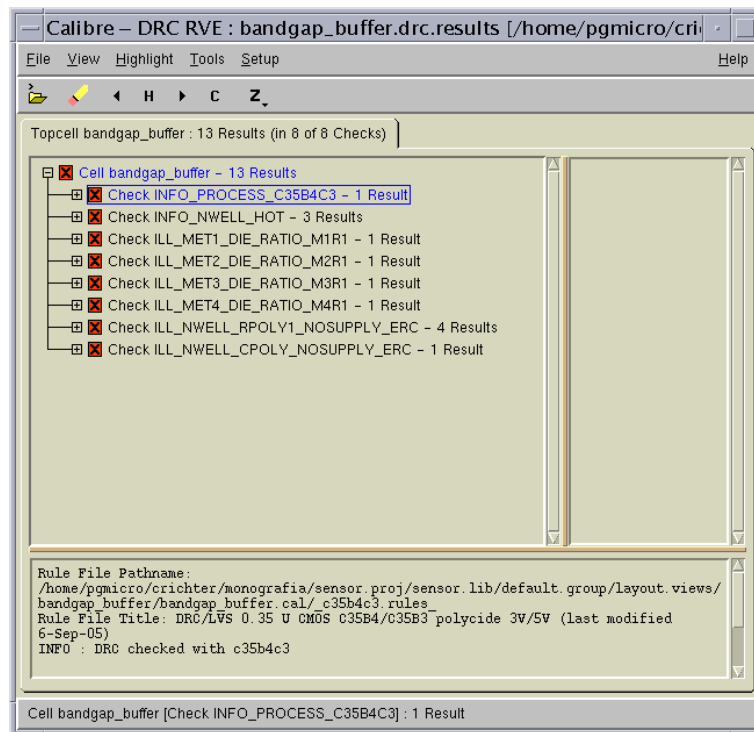


Fig. 4.14 – DRC do layout do circuito bandgap

Ao efetuar a extração do layout via Spice e resimular o circuito extraído (já com todos os componentes parasitas) resultou em grande divergência em relação ao esperado, como ilustrado a seguir.

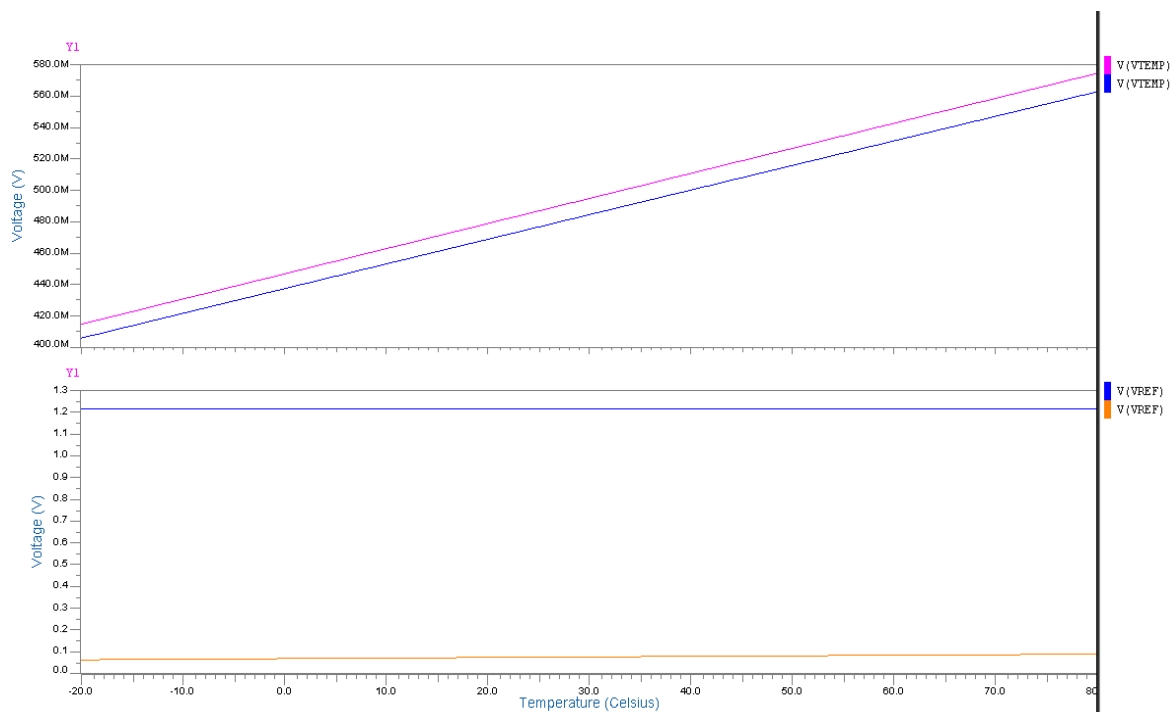
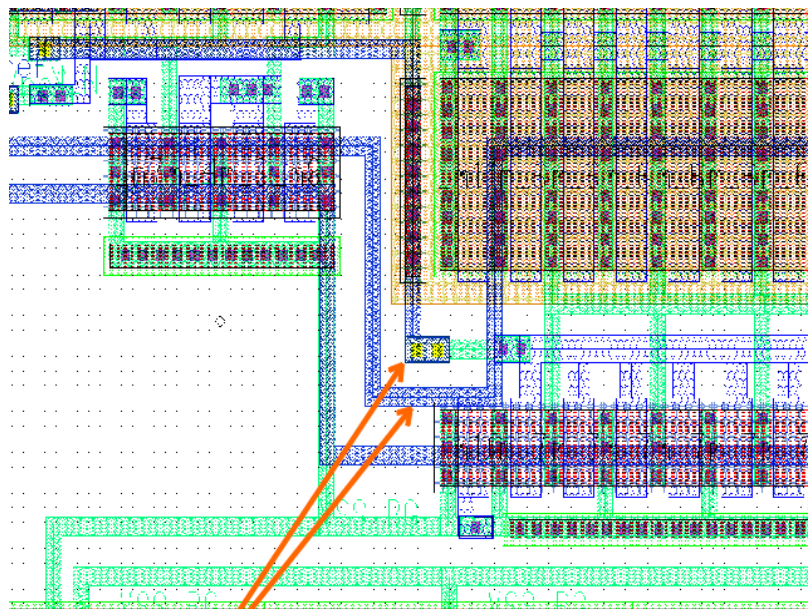


Fig. 4.15 – Saídas VTEMP e VREF para modelo baseado no esquemático e via Spice

Nota-se que a saída V_{TEMP} no modelo extraído do layout (gráfico em azul) concorda bastante bem com o resultante do esquemático (gráfico em rosa). Já a saída de V_{REF} para o caso do modelo Spice (gráfico em laranja) está praticamente zerada, em vez de apresentar um valor próximo de 1,2V, como na simulação via esquemático (gráfico em azul).

Como a saída V_{TEMP} está funcionando corretamente isso indica que o circuito bandgap deve estar operacional, e provavelmente o problema advém do circuito de amplificação de V_{REF} (OTA4). Uma inspeção visual no layout revelou duas conexões em metal2 se cruzando. Bastou eliminar este curto-circuito para que a saída V_{REF} voltasse a operar.



Trilhas em metal2 (estavam em curto)

Fig. 4.16 – Erro no layout (a conexão horizontal cruzava a vertical)

Cabe um comentário a respeito do software da Mentor: apesar de se tratar de um erro absolutamente trivial (curto entre nodos) o software foi incapaz de apontar não só o local do problema como os nodos em curto. Em vez disso fez uma extensa lista de transistores com dimensões errôneas e outras indicações absolutamente herméticas. Levei muito mais tempo tentando entender o ininteligível LVS (layout versus schematic) gerado do que corrigindo o erro via inspeção visual. Portanto, caso o leitor se depare com problema semelhante aconselho partir diretamente para inspeção visual.

Uma vez corrigido o problema o layout funcionou perfeitamente, como demonstra os gráficos a seguir. Note que o vértice da parábola, no caso da simulação via esquemático, havia sido ajustado para ficar em torno dos 30°C, de onde resultava em uma variação média de apenas 3,5 ppm/°C. Já no caso da simulação via parâmetros extraídos do layout este vértice se deslocou para cerca de -40°C, o que resultou em uma degradação na estabilidade térmica (cerca de -22 ppm/°C).

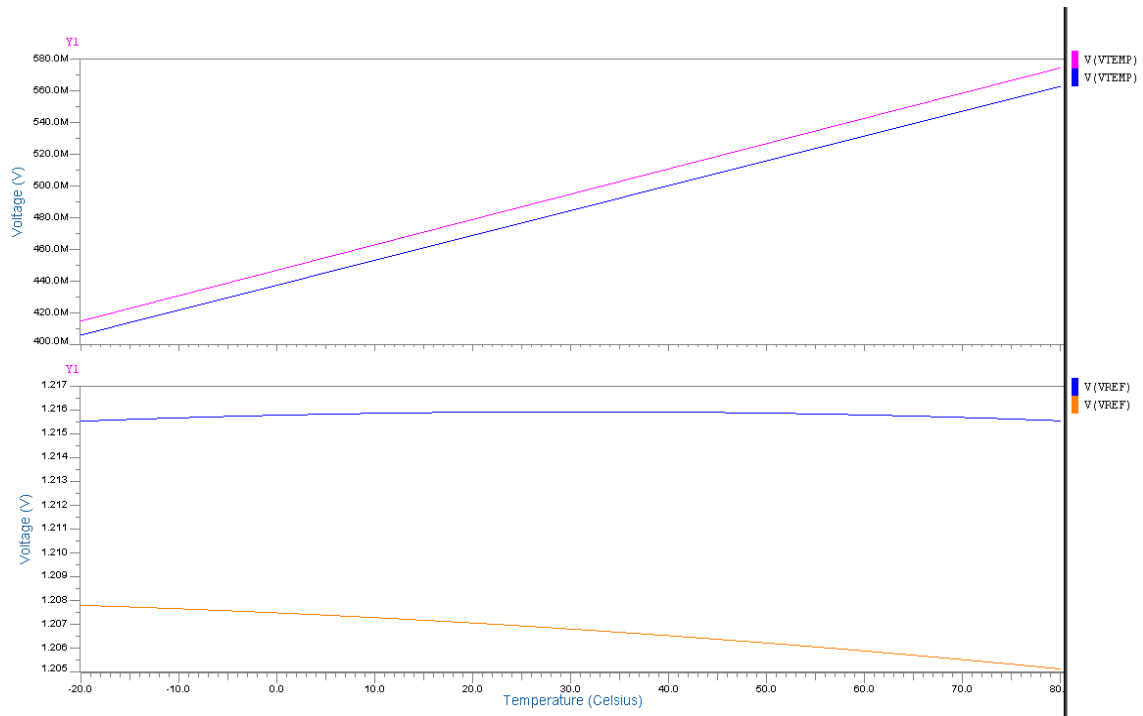


Fig. 4.17 – V_{TEMP} (gráfico superior) e V_{REF} (gráfico inferior) em função da temperatura via esquemático (rosa e azul) e via layout (azul e laranja).

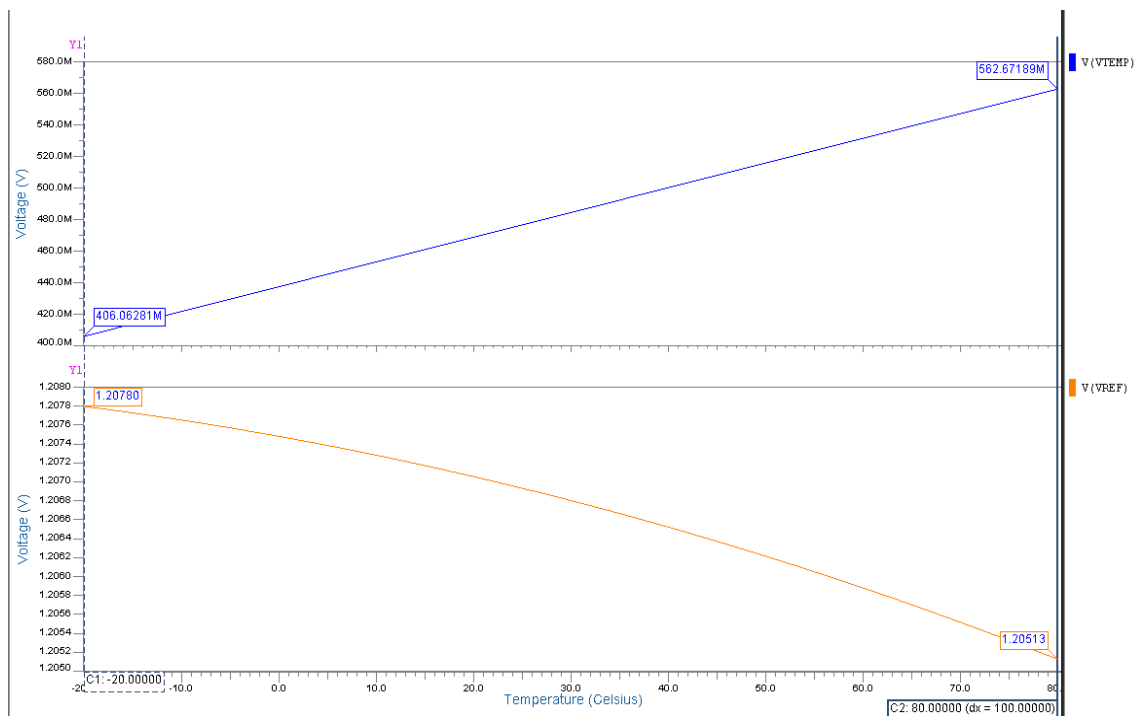


Fig. 4.18 – V_{TEMP} e V_{REF} em função da temperatura via layout com mais detalhes

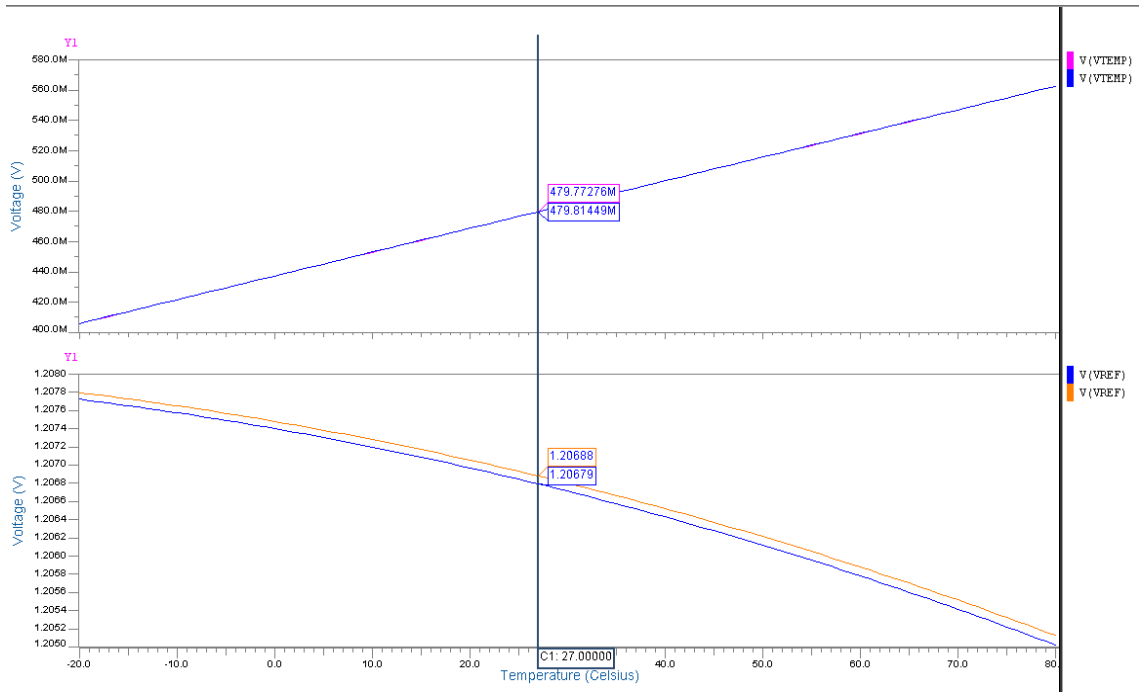


Fig. 4.19 – VTEMP e VREF em função da temperatura com e sem carga de 100KΩ

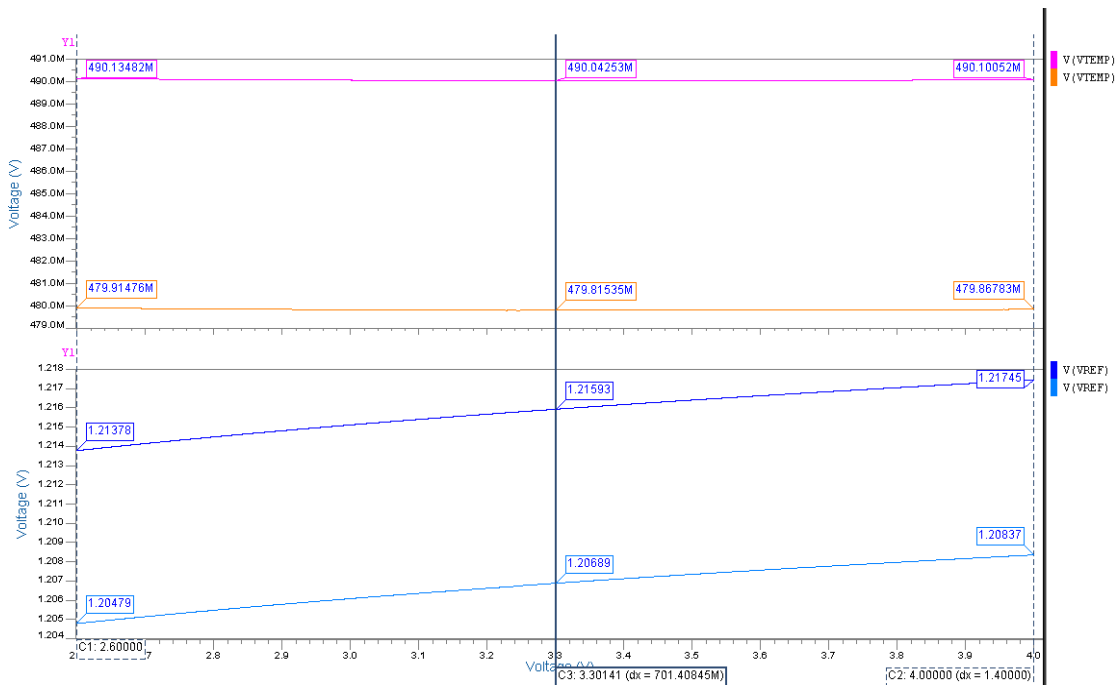


Fig. 4.20 – VTEMP e VREF em função de Vdd para simulação via esquemático e layout

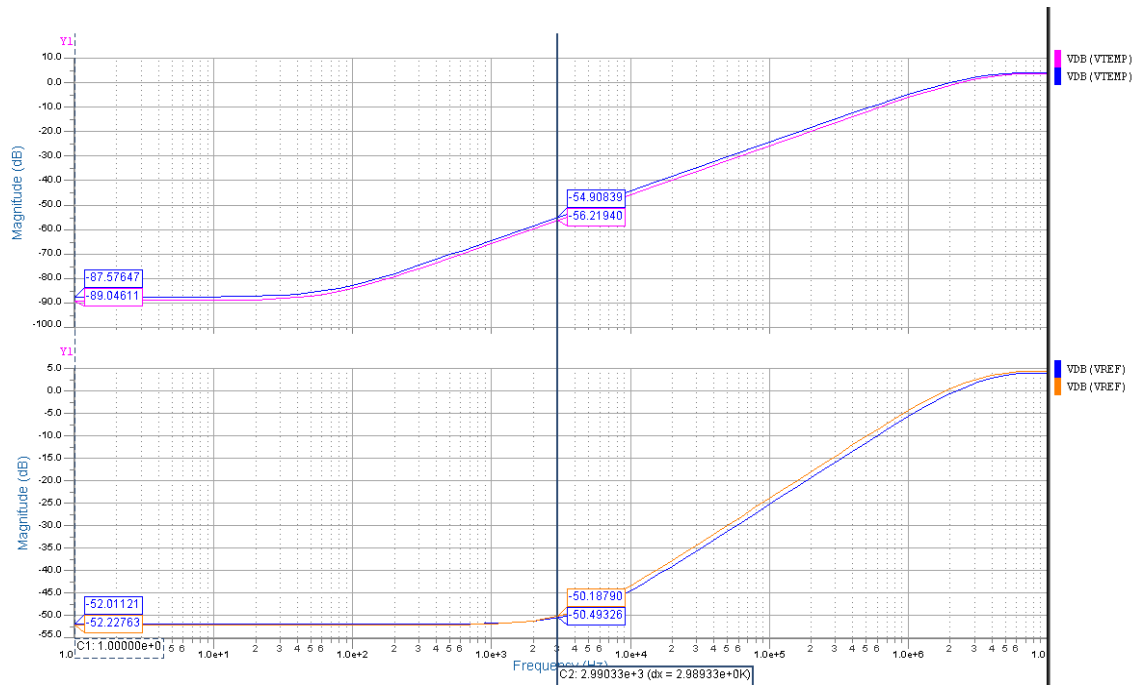


Fig. 4.21 – PSRR de esquemático e layout do bandgap em função da frequência

As simulações anteriores não levam em considerações variações no processo. Então fiz uma simulação Monte Carlo do circuito extraído, com tolerância nos transistores CMOS, bipolares, resistores e capacitores. As 100 simulações levaram cerca de 5 horas na estação Sun.

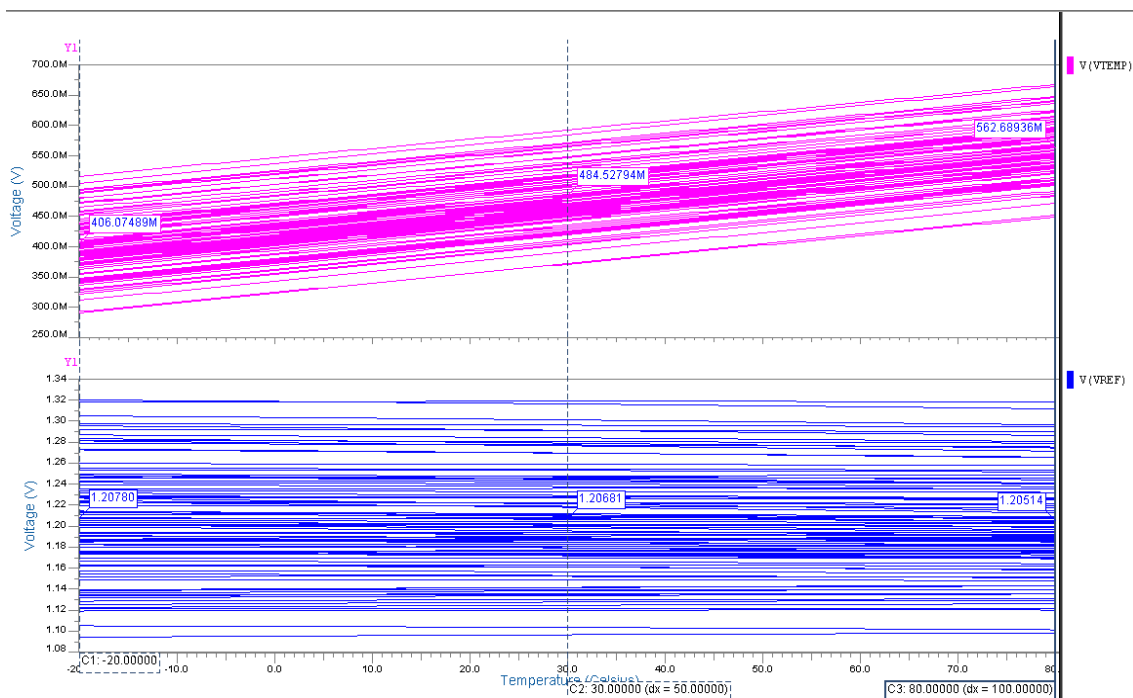


Fig. 4.22 – Tensão V_{TEMP} e V_{REF} em 100 simulações (Monte Carlo)

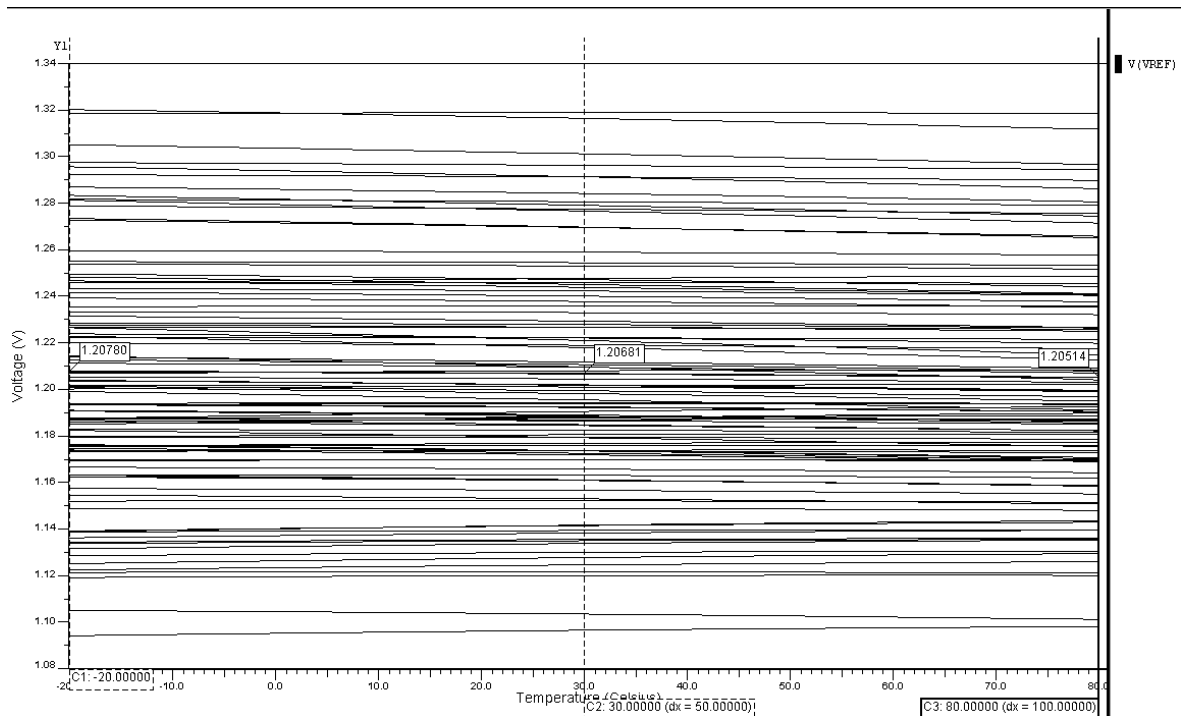


Fig. 4.23 – Tensão V_{REF} em 100 simulações (Monte Carlo)

O gráfico mostra que o layout gera tensão de saída V_{REF} entre 1,09V e 1,32V, sendo o valor típico algo em torno de 1,21V. A estabilidade térmica para cada simulação é mostrada na tabela a seguir:

-22	-9,1	0,6	-40,5	1,6	Média:	-19,67
-27	2,3	-42,9	37,7	-84	Desvio Padrão:	30,74
-10,1	-5,4	32,6	-40	-64		
-32,1	-35,1	43,3	-22,4	-9		
-20,1	18,2	-33,8	-24,2	-41,4		
-32,9	-52,5	-30,7	-42,6	-20,2		
-18,4	-40,3	-6,3	-59,7	-4,1		
12,3	-17,9	-20,2	-43,7	-32,5		
-38,4	-34,9	-65,5	15,9	-33,2		
-13,7	-69,4	-15,5	14,6	40,2		
1,4	-2,8	-95,3	-19,7	-25,8		
-67,1	-37,6	32,6	8,2	22,6		
-1,9	-8,2	-40,3	-43,9	-84,7		
8,4	13,9	-57,2	-0,1	35,9		
-7,7	-72,7	-43,2	-30,8	-6,5		
-34,1	-19,4	7,1	-54,3	-21,5		
-76,8	1,1	31,1	-48,1	28,7		
-48	-17,4	-49,5	-24,2	-16,8		
14	-4,4	16,5	4,4	-12,6		
-65,1	5,8	-23,7	40,8	-41,2		

Tab. 4.2 – Estabilidade térmica em ppm/°C para 100 simulações

Note que a média ficou bastante deslocada dos 0 ppm/°C (na simulação via esquemático ficou em +2,0 ppm/°C). Isso em função de que, tipicamente, o layout apresenta coeficiente de temperatura nulo em cerca de -40°C em vez de 30°C. Com certeza as resistências parasitas do layout deslocaram um pouco a parábola. Seria

necessário um pequeno ajuste do resistor R2, como feito no caso do esquemático. Assim mesmo, o comportamento do circuito foi satisfatório, pois o desvio padrão foi de 30,7 ppm/°C. A estabilidade térmica se manteve entre os limites de -95,3 ppm/°C e 43,3 ppm/°C.

Com base nos dados acima é possível elaborar uma tabela similar a tabela 3.4, baseada agora na simulação do circuito bandgap via extração de parâmetros de layout e simulador Spice. O layout foi satisfatório, como demonstra a grande concordância nos dados da tabela abaixo e os da tabela 3.4.

Símbolo	Parâmetro	Condição	Mín.	Típico	Máx.	Unidade
VREF	Tensão de referência	27°C	1,09	1,21	1,32	V
DVREF	Coeficiente de temperatura	-20 a 80°C		31	96	ppm/°C
DVREF	Susceptibilidade a Vdd	2,6V a 4V		2,6		mV/V
ROUT	Resistência de saída	27°C		7,5		W
PSRR	Rejeição a variações de Vdd	3 KHz		-50		dB
Vdd	Tensão de alimentação	27°C	2,6	3,3	4,0	V
A	Área do circuito			29400		µm ²
P	Potência consumida			2,2		mW
RL	Resistência de carga	Vdd=3,3V	15			KW

Tab. 4.3 – Resultados de simulação de layout do circuito bandgap

5 CONCLUSÃO

O circuito bandgap funcionou surpreendentemente bem, pois um desvio típico de cerca de 30 ppm/°C é excelente, considerando que o circuito não prevê nenhuma espécie de ajuste (trimming). Comparando os resultados obtidos com um bandgap fornecido pela Austria Micro Systems para esta tecnologia (BG05A), cujas principais características reproduzo abaixo, se percebe que os únicos parâmetros realmente divergentes são a potência consumida (o bandgap BG05A consome quase 15 vezes menos) e o PSRR (a rejeição do bandgap BG05A é 36 dB superior ao layout que gerei).

Símbolo	Parâmetro	Condição	Mín.	Típico	Máx.	Unidade
V _{REF}	Tensão de referência	27°C	1,11	1,21	1,31	V
DV _{REF}	Coeficiente de temperatura	-30 a 120°C		40	100	ppm/°C
R _{OUT}	Resistência de saída	27°C		2,2		W
PSRR	Rejeição a variações de V _{dd}	1 KHz		-86		dB
V _{dd}	Tensão de alimentação	27°C	3,0	3,3	3,6	V
A	Área do circuito			35738		µm ²
P	Potência consumida			0,15		mW

Tab. 5.1 – Características do bandgap BG05A (Austria Micro Systems)

Quanto a discrepância no consumo ela advém, como já comentado, da premissa de que era necessária uma corrente da ordem de 5µA nos transistores bipolares para garantir um comportamento exponencial. Isso não é verdadeiro, e mesmo correntes tão baixas como 1 pA ainda mantêm este comportamento. Portanto, valeria a pena reprojeter o circuito diminuindo drasticamente as correntes de polarização.

Já o PSRR depende do amplificador OTA e também dos espelhos de corrente do bandgap. Mas o valor de -50 dB não é incompatível com várias implementações que consultei (veja referências). Talvez um maior cuidado nos espelhos de corrente (quiza usando uma configuração cascode) melhorasse este parâmetro.

Por fim, uma pequena correção no resistor R2 proporcionaria uma estabilidade térmica média próxima a zero, o que diminuiria para cerca de 76 ppm/°C o limite de estabilidade térmica do circuito bandgap.

REFERÊNCIAS

ALLEN, Phillip E.; HOLBERG, Douglas R. **CMOS Analog Circuit Design**. 2. ed. New York: Oxford University Press, 2002.

ALLEN, Phillip E.; GEIGER, Randall L.; STRADER, Noel R. **VLSI Design Techniques for Analog and Digital Circuits**. International Edition: McGraw-Hill Publishing Company, 1990.

SICARD, Etienne. **Microwind & Dsch User's Manual Lite Version**. INSA, Toulouse, France, March 2005.

CAJUEIRO, João Paulo Cerquinho. **Projeto de uma Fonte de Tensão de Referência do Tipo Bandgap em Tecnologia MOS**. 2002. Tese de Mestrado – FEEC Unicamp, Campinas, SP.

CAJUEIRO, João Paulo Cerquinho. **Fonte de Tensão de Referência Ajustável Implementada com Transistores MOS**. 2005. Tese de Doutorado – FEEC Unicamp, Campinas, SP.

LI, Tao; MITRA, Bhaskar; UDESHI, Kabir. **A Low Voltage Bandgap Reference Circuit with Current Feedback**.

RINCÓN-MORA, G. A. **Bandgap Voltage Reference**.

DAI, Y.; COMER, D.T.; COMER, D.J.; PETRI, C.S. **Threshold Voltage based CMOS Voltage Reference**. IEE Proc. - Circuits Devices Syst., February 2004.

MATSUDA, T.; MINAMI, R.; KANAMORI, A.; IWATA, H.; OHZONE, T.; YAMAMOTO, S.; IHARA, T.; NAKAJIMA, S. **A V_{dd} and Temperature Independent CMOS Voltage Reference Circuit**. IEEE Asia and Pacific Design Automation Conference 2004.

HUANG, Chun-Ping; CHUANG, Ying-Shun; HSU, Tzu-Hen. **Bandgap Reference Voltage**.

DÜLGER, Fikret. **Introduction to Bandgap Reference Generators**. Lectures Notes for ELEN 689-602.

WENG, Ro-Min; HSU, Xie-Ren; KUO, Yue-Fang. **A 1.8V High-Precision Compensated CMOS Bandgap Reference**. IEEE 2005.

PERTIJS, Michiel A.P.; NIEDERKORN, Andrea; MA, Xu; MCKILLOP, Bill; BAKKER, Anton; HUIJSING, Johan H. **A CMOS Smart Temperature Sensor with a 3 σ Inaccuracy of $\pm 0.5^{\circ}\text{C}$ from -50°C to 120°C .** IEEE Journal of Solid-State Circuits, vol. 40, no. 2, february 2005.

AUSTRIA MICRO SYSTEMS. **0.35 μm CMOS C35 Process Parameters.** Release Date 2005.

AUSTRIA MICRO SYSTEMS. **BG05A Datasheet – Cmos Bandgap Voltage Reference.** Revision A 2004.

TANNER Consulting & Engineering Services. **MAMIS035DL Digital Low Power Standard Cell Library for Mosis AMI 0.5 μ Sub-micron Process.** Revision A 1999.